

La famille TTL (transistor-transistor-logic) est à base de transistors bipolaires.
La famille CMOS (complementary metal oxide semiconductor) est à base de transistors MOS.

I Vocabulaire courant

V_{IH} (min) - tension d'entrée niveau HAUT: niveau de tension nécessaire pour avoir un 1 logique en entrée.

V_{IL} (max) - tension d'entrée niveau BAS: niveau de tension nécessaire pour avoir un 0 logique en entrée.

V_{OH} (min) - tension de sortie niveau HAUT: niveau de tension de la sortie d'un circuit logique correspondant à l'état logique 1.

V_{OL} (max) - tension de sortie niveau BAS: niveau de tension de la sortie d'un circuit logique correspondant à l'état logique 0.

I_{IH} - courant d'entrée niveau HAUT: le courant qui traverse une borne d'entrée quand une tension niveau haut est appliquée à cette entrée.

I_{IL} - courant d'entrée niveau BAS: le courant qui traverse une borne d'entrée quand une tension niveau bas est appliquée à cette entrée.

I_{OH} - courant de sortie niveau HAUT: le courant qui traverse une borne de sortie placée au niveau logique 1 dans des conditions de charge spécifiées.

I_{OL} - courant de sortie niveau BAS: le courant qui traverse une borne de sortie placée au niveau logique 0 dans des conditions de charge spécifiées.

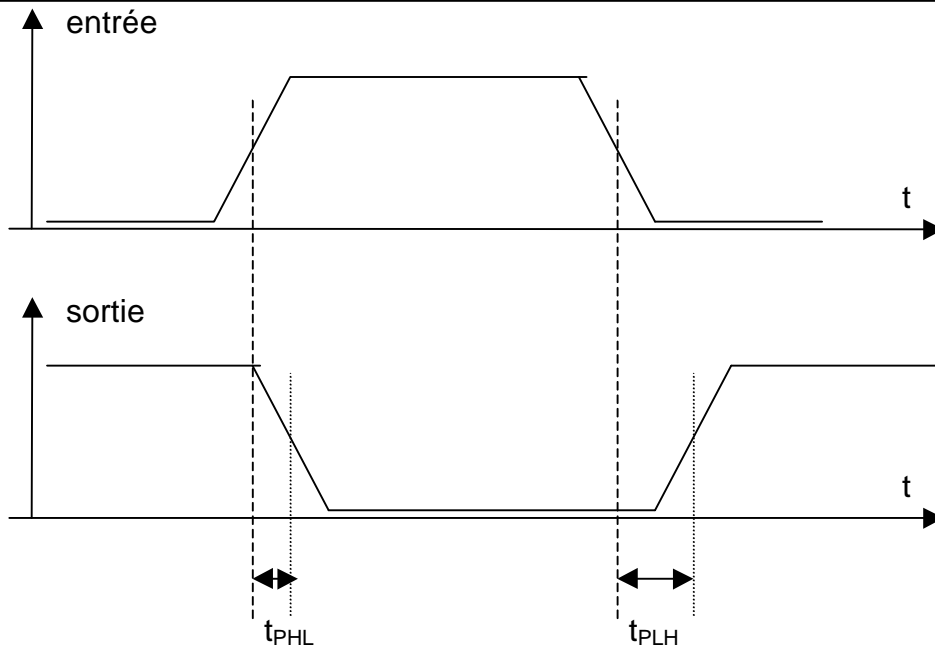
Sortance: normalement, la sortie d'un sortie logique doit piloter plusieurs entrées logiques. La *sortance* (appelée également *facteur de charge*) est définie comme le nombre *maximal* d'entrées logiques standard qui peuvent être pilotées sans problèmes par une sortie. Par exemple, quand il est indiqué qu'une porte logique a une sortance de 10, cela signifie qu'elle peut piloter 10 entrées logiques standard. Si on dépasse ce nombre, il n'est pas assuré que les tensions des niveaux logiques des sorties seront exactes.

Retards de propagation: Un signal logique qui traverse un circuit subit toujours un retard. Deux retards de propagation sont définis:

t_{PHL} : retard pour passer du niveau logique 1 au niveau logique 0.

t_{PLH} : retard pour passer du niveau logique 0 au niveau logique 1.

Schéma:
Porte inverseuse



Les temps de retard sont mesurés lors des passages à mi-hauteur.

Généralement, t_{PHL} et t_{PLH} sont différents, on définit alors le temps de propagation moyen:

$$t_P = \frac{t_{PLH} + t_{PHL}}{2}$$

Immunité aux bruits: Les champs électriques et magnétiques parasites peuvent induire des tensions dans les fils de raccordement des circuits logiques. Ces signaux indésirables sont appelés *bruits* et peuvent parfois amener la tension sur la borne d'un circuit logique sous la valeur $V_{IH}(\min)$ ou la porter au dessus de $V_{IL}(\max)$ et ainsi perturber le fonctionnement normal. *L'immunité aux bruits* d'un circuit logique définit l'aptitude du circuit à tolérer des tensions parasites sur ses entrées. La mesure quantitative de l'immunité aux bruits est appelée la **marge de sensibilité** aux bruits et elle est illustrée ci dessous:

état logique 1	$V_{OH}(\min)$	} V_{NH}	$V_{IH}(\min)$	état logique 1
bande indéterminée				bande indéterminée
état logique 0	$V_{OL}(\max)$	} V_{NL}	$V_{IL}(\max)$	état logique 0
tensions de sortie				tensions d'entrée

Marge de sensibilité aux bruits état haut:

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min)$$

Marge de sensibilité aux bruits état bas:

$$V_{NL} = V_{OL}(\max) - V_{IL}(\max)$$

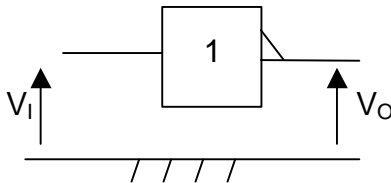
II Etude expérimentale (famille TTL)

Nous allons utiliser une **porte inverseuse**, boîtier 74LS04

II.1 Caractéristique de transfert $V_O(V_I)$

1- A l'aide des données constructeur, tracer le gabarit du diagramme $V_O(V_I)$. Faire apparaître les valeurs V_{IH} , V_{IL} , V_{OL} , V_{OH} et les plages garanties par le constructeur.

2- Mesures:

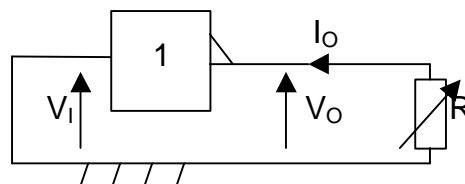


Tension d'alimentation: $V_{dd} = 5V$ $V_{ss} = 0V$

Faire varier la tension d'entrée entre 0 et 5V et relever à chaque fois la tension de sortie. La caractéristique s'inscrit-elle dans le gabarit?

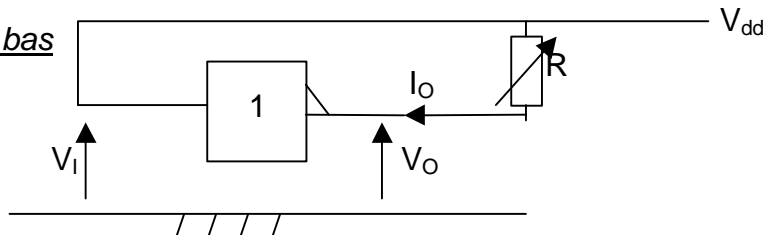
II.2 Caractéristique de sortie $V_O = f(I_O)$

II.2.1 Sortie état haut



Faire varier la résistance R. Mesurer V_O et I_O . Tracer la courbe.

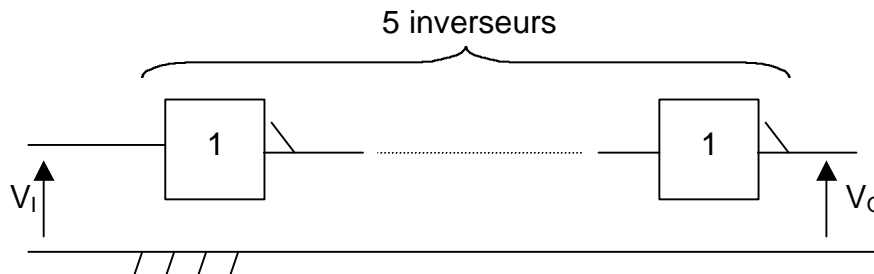
II.2.2 Sortie état bas



Faire varier la résistance R. Mesurer V_O et I_O . Tracer la courbe.

II.3 Temps de propagation

Afin de réaliser une meilleure mesure placer cinq inverseurs en cascade.



Le signal V_i est restangulaire entre 0 et 5V.

Mesurer les temps de propagation t_{PLH} et t_{PHL} et en déduire le temps de propagation moyen t_p .

III Etude expérimentale (famille CMOS)

Nous allons utiliser une **porte NOR connectée en inverseur**, boîtier 4001.

III.1 Caractéristique de tranfert

Les mesures se font de la même façon que pour les portes TTL.

III.2 Temps de propagation

Placer les quatre inverseurs du boîtier en cascade.

Les mesures se font de la même façon que pour les portes TTL.

IV Conclusion

- 1- Comparer les caractéristique de transferts
- 2- Déterminer, en utilisant les données constructeur, les marges de sensibilité aux bruits.
- 3- Une porte TTL peut-elle piloter une porte CMOS, et vice-versa?
- 4- Comparer les temps de propagation.
- 5- Quelle est la sortance d'une porte TTL et d'une porte CMOS?