

DENEY 1 : TTL ve CMOS KAPI KARAKTERİSTİKLERİ

Genel Açıklamalar :

Bir lojik kapının temel karakteristikleri, tümdevrelere ait olan giriş/çıkış seviye0/seviye1 gerilim ve akım değerlerinin yanı sıra propagasyon gecikme süreleri, çıkış yelpaze sayısı ve çıkış karakteristikleri olarak bilinir.

Propagasyon gecikme süresi, lojik kapının girişinde meydana gelen bir değişimin çıkışına aktarılması için gereken süre olarak tanımlanır. Örnek olarak bir NOT kapısı ele alındığında, bu kapının, girişindeki lojik 1 değerini, çıkışta lojik 0 değerine dönüştürmesi için geçen süreye, propagasyon gecikme süresi denir.

Çıkış yelpazesi sayısı, lojik kapının çıkışına, belirlenen aralıklarda bulunan lojik işaretin gerilim seviyeleri korunacak şekilde bağlanabilecek olan kapı sayısıdır.

Lojik kapıların çıkış karakteristikleri, üç gruba ayrılabilir:

Bipolar çıkışlar (TP: Totem Pole) : Lojik 0 ve lojik 1 değerlerini üreten TTL çıkışlardır.

Unipolar çıkışlar (OC: Open Collector) : Sadece lojik 0 değerini üretebilir, lojik 1 seviyesinde tranzistor doyuma ulaşır ve gerekli olan gerilim seviyesi, besleme gerilimine direnç bağlanarak elde edilir. Bu çıkışlar, birden fazla lojik çıkışın ortak bir yola bağlanması gerektiğinde kullanılır.

Üç-durumlu çıkışlar (TS: Tri State) : Bipolar çıkış karakteristiklerinin yanında aynı zamanda veri yollarına bağlanmalarını mümkün kılan bir üçüncü duruma, yüksek empedans, sahiptir.

Sayısal tümdevreler, üretilirken uygulanan teknolojilere göre şu şekilde sınıflandırılırlar:

ECL : Emitör-kuplajlı lojik

TTL : Tranzistor-tranzistor lojik

I²L : Entegre enjeksiyonlu lojik

MOS : Metal-oksit yarı iletken

CMOS : Tümllemeli metal-oksit yarı iletken

TTL, geniş çaplı bir sayısal fonksiyonlar listesine sahiptir ve halen en popüler lojik ailesidir.

ECL, yüksek hızlı işlemler, *MOS* ve *I²L*, yüksek bileşen yoğunluğu, *CMOS* ise düşük güç tüketimi gerektiren sistemlerde kullanılmaktadır. TTL ve CMOS lojik ailesine mensup tümdevrelerin kendilerine has özellikleri şu şekilde verilebilir:

TTL-teknolojisi (74xx) : Lojik devrelerde en sık kullanılan teknolojidir ve iki temel öge ile tanımlanır. Kapı başına gecikme süresi yaklaşık olarak 20ns ve güç tüketimi 15mA/lojik kapı.

TTL-teknolojisi (54xx) : Temel olarak TTL tümdevreler ile aynı özelliklere sahip olmasının yanında askeri amaçlı uygulamalar için üretildiklerinden bu uygulamalara ait özellikleri taşır.

TTL-L (74Lxx) : TTL tümdevrelerden daha az güç harcarken, daha düşük hızlara sahiptir.

TTL-LS (Low Schottky: 74LSxx) : TTL tümdevrelerden daha az güç tüketirken TTL tümdevreler ile aynı işlem süresine sahiptir.

TTL-ALS (Advanced LS: 74ALSxx) : TTL LS tümdevrelerden daha yüksek hız ve çıkış akımına sahiptir.

TTL-F (Fast I/O: 74F) : TTL tümdevrelerden daha yüksek hızla sahiptir ve bunun için çok fazla güç harcar.

TTL-OC : TTL tümdevreler ile benzer özelliklere sahiptir fakat TTL tümdevreler ile karşılaştırıldığında daha fazla propagasyon gecikme süresine sahiptir.

CMOS-teknolojisi (4xxx) : Düşük güç tüketimine sahiptir.

CMOS-AC (74ACxx) : CMOS tümdevrelerden daha yüksek hızla sahip ve TTL uyumludur.

CMOS-HC (74HCxx) : CMOS tümdevrelerden daha yüksek hızlara sahiptir.

CMOS-H (High Speed CMOS: 74HCTxx) : CMOS tümdevrelerden daha düşük güç tüketimi sağlarken sayısal tümdevrelerde daha yüksek frekanslarda çalışma olanağı sağlar.

Deney Öncesi Hazırlıklar :

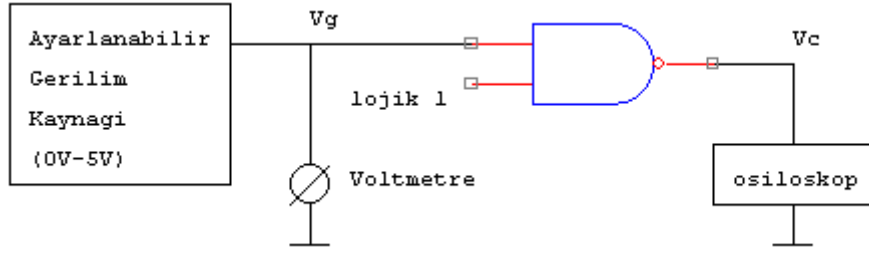
1. TTL ve CMOS teknolojileri arasındaki farklılıkların incelenmesi.
2. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
3. Deney sırasında kullanılacak olan tümdevrelerin karakteristik özelliklerinin kataloglardan incelenmesi.

Deney Sırasında Yapılacaklar :

1. TTL NAND Kapısının Statik Karakteristiklerinin Bulunması

1-A. Boşta Çalışma Karakteristiği

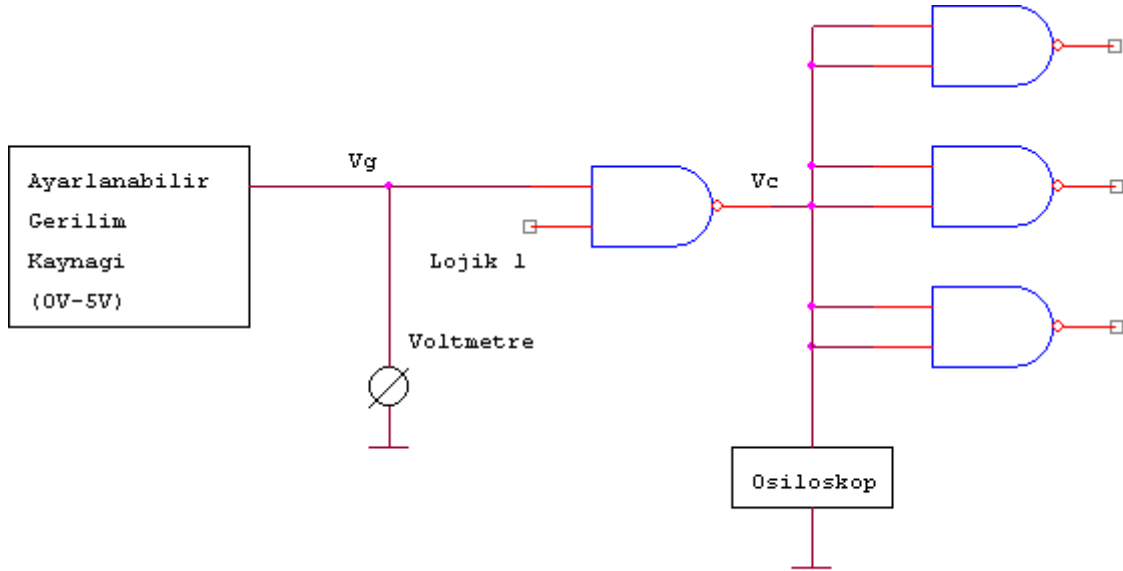
Boşta çalışma karakteristiği, kapı çıkışı yüksüz iken $V_c = f(V_g)$ bağıntısıdır. Şekil 1.1’de verilen devreyi deney setine kurarak boşta çalışma karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



Şekil 1.1 : Boşta çalışma karakteristiğinin çıkartılması için kurulacak devre

1-B. Yüklü Çalışma Karakteristiği

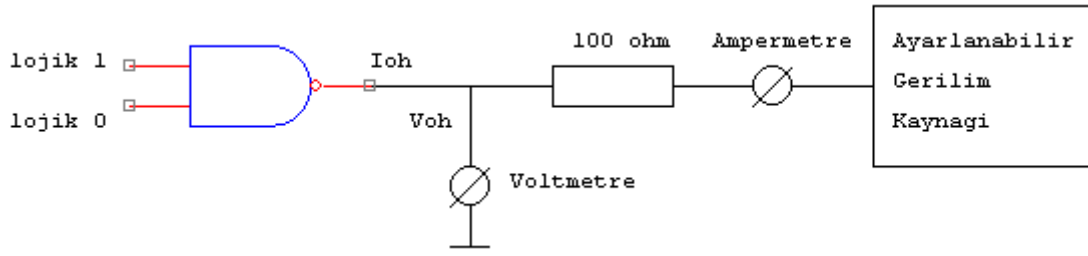
Yüklü çalışma karakteristiği, kapının çıkış ucuna belirli bir sayıda eleman bağlanarak yüklendiği durumdaki $V_c = f(V_g)$ bağıntısıdır. Şekil 1.2’deki devreyi deney setine kurarak yüklü çalışma karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



Şekil 1.2 : Yüklü çalışma karakteristiğinin çıkartılması için kurulacak devre

1-C. $V_{OH} - I_{OH}$ Karakteristiği

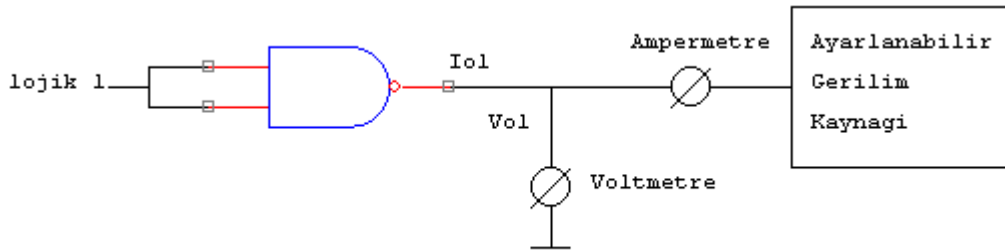
$V_{OH} - I_{OH}$ karakteristiği, kapı çıkışını lojik 1 düzeyinde tutmak isteyen giriş koşulları oluşmuşken, çıkışın lojik 0 düzeyine zorlanması halinde elde edilen $V_{OH} = f(I_{OH})$ bağıntısıdır. Şekil 1.3’teki devreyi deney setine kurarak $V_{OH} - I_{OH}$ karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



Şekil 1.3 : $V_{OH} - I_{OH}$ karakteristiğinin çıkartılması için kurulacak devre

1-D. $V_{OL} - I_{OL}$ Karakteristiği

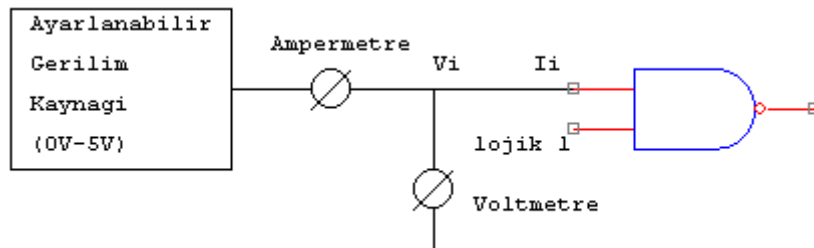
$V_{OL} - I_{OL}$ karakteristiği, kapı çıkışını lojik 0 düzeyinde tutmak isteyen giriş koşulları oluşmuş iken, lojik 1 düzeyine doğru zorlanması halinde elde edilen $V_{OL} = f(I_{OL})$ bağıntısıdır. Şekil 1.4'teki devreyi deney setine kurarak $V_{OL} - I_{OL}$ karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



Şekil 1.4 : $V_{OL} - I_{OL}$ karakteristiğinin çıkartılması için kurulacak devre

1-E. $V_i - I_i$ Karakteristiği

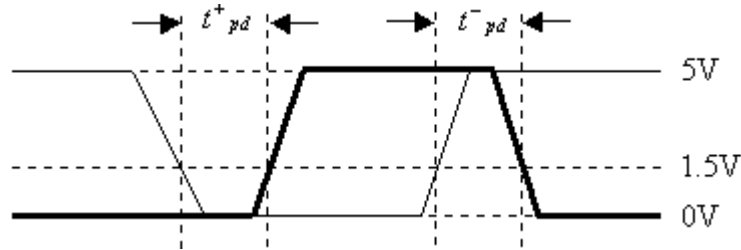
$V_i - I_i$ karakteristiği, çıkış yüksüz iken giriş gerilimi ile akımı arasındaki $V_i = f(I_i)$ bağıntısıdır. Şekil 1.5'teki devreyi deney setine kurarak $V_i - I_i$ karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



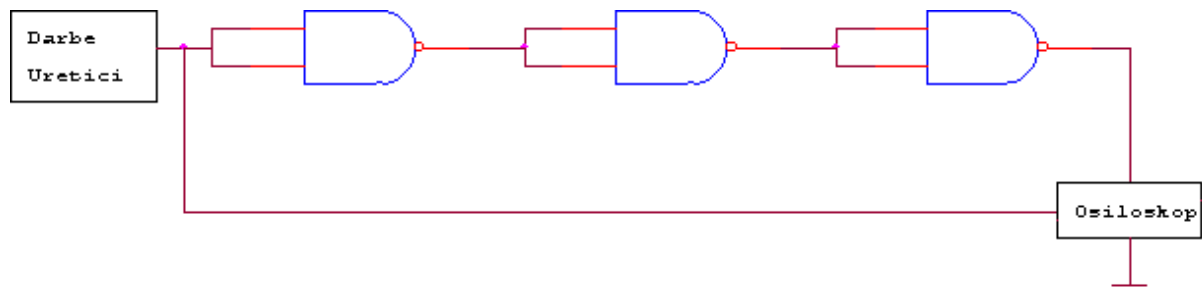
Şekil 1.5 : $V_i - I_i$ karakteristiğinin çıkartılması için kurulacak devre

2. TTL Kapılarının Dinamik Karakteristiklerinin Bulunması

Bir lojik kapının gecikmesinin Şekil 1.6’da gösterildiği gibi, t_{pd}^+ ve t_{pd}^- olmak üzere iki bileşeni vardır. Deneyde bir kapının toplam gecikmesi, tek sayıda NAND kapısının oluşturduğu osilatör devresinin (ring osilatörü) ürettiği işaretin periyodunun ölçülmesiyle bulunacaktır. Bunun için Şekil 1.7’deki devreyi deney setine kurarak oluşan salınımların periyodunu osiloskop yardımıyla belirleyiniz.



Şekil 1.6 : Lojik kapı gecikmesi bileşenleri



Şekil 1.7 : Ring osilatörü

3. TTL Kapıları Üzerinde Harcanan Gücün Ölçümü

TTL NAND kapısının üzerinde harcanan gücü, tüm girişlere 1Hz ile 1MHz arasında çeşitli frekanslarda TTL işareti uygulanmış iken ölçerek, $P_{dis} = g(f)$ bağıntısına ilişkin güç ve frekans değerlerini tablo halinde elde ediniz. ($V_{CC} = 5V$, $P_{dis} = I_{CC} \cdot V_{CC}$) I_{CC} akımı, V_{CC} ile tümdevre arasına konulan $R = 100\Omega$ ’luk direnç üzerindeki gerilim düşümü ile hesaplanacaktır.

4. CMOS Kapıların Statik Karakteristiklerinin Bulunması

1. bölümde TTL NAND kapısı için yapılanları, bu bölümde CMOS NAND kapısı için tekrar ediniz.

5. CMOS Kapıların Dinamik Karakteristiklerinin Bulunması

2. bölümde TTL NAND kapısı için yapılanları, bu bölümde CMOS NAND kapısı için tekrar ediniz.

6. CMOS Kapıları Üzerindeki Harcanan Gücün Ölçümü

3. bölümde TTL NAND kapısı için yapılanları bu bölümde CMOS NAND kapısı için tekrar ediniz.

Raporda İstenilenler :

1. Deney sırasında elde edilen sonuçları başlıklar altında kısaca yorumlayınız.
2. TTL teknolojisi ile üretilmiş NAND kapısının propagasyon gecikmesi değerini katalogdan bulunuz. NAND kapısının hızının ne olabileceğini belirtiniz. Bu hız pratikte çalışma frekansı olarak adlandırılır.
- İpucu :** Propagasyon gecikme süresi kadar olan zaman aralığında giriş değerinin değişmemesi gerekir ki, kapı, o giriş değerine ilişkin çıkış değerini verebilsin.
3. TTL ve CMOS iki girişli OR, AND ve EXOR kapılarını gecikme süreleri açısından kendi teknolojileri içinde karşılaştırınız.
4. TTL ve CMOS teknolojileri ile üretilen tümdevreler aynı devrede kullanıldığında birbirleri ile uyumlu olacak şekilde bağlanabilmeleri için tümdevreler arasında ne gibi eklentiler yapılması gerektiğini belirtiniz.
5. TTL ve CMOS teknolojilerini çalışma frekansı açısından karşılaştırınız ve aynı devrede farklı teknolojilerle üretilmiş lojik kapıların kullanılmasının devrenin çalışma frekansını nasıl değiştireceğini açıklayınız.
6. Çıkış yelpaze sayısı (fan-out) 4 olan bir kapının çıkışı, 50 kapıya bağlanmak istenmektedir. Bunun için çıkış yelpaze sayısı 10 olan BUFFER'ları uygun şekilde bağlayınız.

Malzeme Listesi :

- 1 adet 4011 CMOS NAND kapı tümdevresi
- 1 adet 7400 TTL NAND kapı tümdevresi
- 1 adet 100 ohm'luk direnç

DENEY 2 : BOOLE FONKSİYONLARININ SSI KAPI ELEMANLARI, MSI KOD-ÇÖZÜCÜLERİ ve ÇOĞULLAYICILARI ile SENTEZİ

Genel Açıklamalar :

Kombinezonsal lojik devre sentez yöntemleri genel olarak iki grupta toplanabilir. Birinci yöntem, sözle tanımdan doğruluk tablosuna geçilmesi ve elde edilen bu tablo yardımıyla da Quine-McCluskey yada Karnaugh yönteminin uygulanması ile minimal fonksiyonun bulunmasıdır. Minimal fonksiyonun bulunmasında kullanılacak olan yöntemin hangisi olacağına, fonksiyon içinde bulunan bağımsız değişken sayısı ile karar verilir. Değişken sayısı, 4-5'e kadar olan fonksiyonlarda Karnaugh yönteminin uygulanması, daha çabuk sonuca ulaştıracağından dolayı tercih edilir. Minimal fonksiyona karşı düşen devre, iki seviyeli (çarpımlar toplamı yada toplamlar çarpımı) gerçekleştirilebileceği gibi belirli bir gecikme süresini göz önüne alarak iki seviyeli devreden daha az devre karmaşıklığına sahip olacak şekilde çok seviyeli olarak da gerçekleştirilebilir. Lojik devrelerde devre karmaşıklığı, kapı sayısı artı kapı giriş yelpaze sayısı (fan-in) olarak tanımlanır. Bir kombinezonsal devrenin seviyesi ise, devrenin her bir girişinden her bir çıkışına uzanan yollarda bulunan maksimum kapı elemanı sayısıdır. Çıkış sayısı birden fazla olan devrelerde aynı zamanda devre çıkışlarına ait olan fonksiyonlar birlikte indirgenebilirler. Böylece devrenin, PLA veya kombinezonsal devre karmaşıklığının azaltılması amaçlanır.

Kombinezonsal lojik devre sentezinde ikinci yöntem ise sözle tanımdan bir algoritma çıkararak, bu algoritmaya karşı düşen devreyi gerçeklemektir. Bu yöntem, genellikle değişken sayısı ve/veya keyfi çıkışları fazla olan fonksiyonların gerçekleştirilmesinde oldukça elverişlidir. Karşılaştırmacı ve kodlayıcı devreleri bu yöntemle gerçekleştirilebilir.

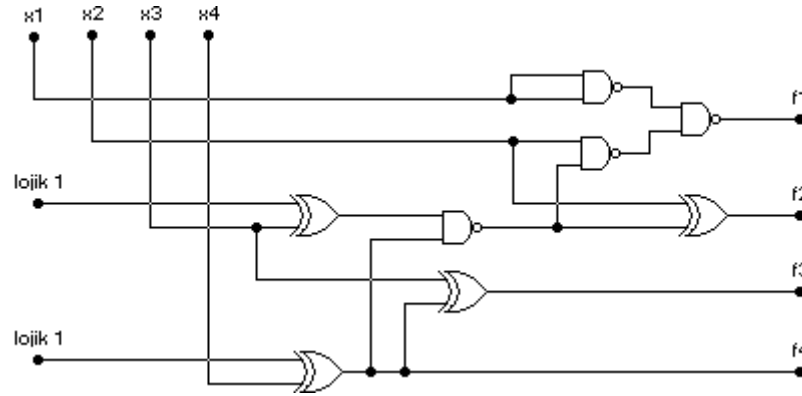
Bu iki kombinezonsal lojik devre sentez yöntemi karşılaştırıldığında ilk yöntem için değişken sayısı arttığında doğruluk tablosunun üstel biçimde büyüdüğü görülmektedir. İkinci yöntemde ise böyle bir sorunla karşılaşılmaz ama sözle tanımdan her zaman bir algoritma çıkarabilmek de mümkün olmamaktadır.

Sözle Tanım : BCD-Excess 3 kod dönüştürücüsü tasarlanmak istenmektedir. Bu kod dönüştürücünün bağımsız girişleri, BCD (Binary Coded Decimal) kodunu temsil eden $x_1x_2x_3x_4$ bağımsız değişkenleri, çıkışları ise, Excess 3 kodunu temsil eden $f_1f_2f_3f_4$ bağımlı değişkenleridir. BCD-Excess 3 kod dönüştürücüsünün çıkışında, girişine uygulanan sayının üç fazlası görülmektedir. BCD-Excess 3 kod dönüştürücüsünün doğruluk tablosu Tablo 2.1'de verilmiştir.

Teorik olarak, SSI elemanları ile tasarım yaparken kullanılacak kapı sayısı ve kapı giriş yelpaze sayısının minimalleştirilmesi esas alınır. Ancak uygulamada tümdevreler kullanıldığından dolayı minimallik kavramı, tümdevre sayısı ile ilişkili olmaktadır. f1, f2, f3 ve f4 çıkış fonksiyonlarına ilişkin minimal fonksiyonlar bulunduktan ve kullanılacak tümdevre sayısını minimalleştirmek amacıyla ortak kapı dönüşümleri yapıldıktan sonra çıkış fonksiyonlarına karşı düşen devre, Şekil 2.1’de verilmiştir.

Tablo 2.1 : BCD-Excess 3 kod dönüştürücü doğruluk tablosu

x1	x2	x3	x4	f1	f2	f3	f4
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
10-15				K	K	K	K

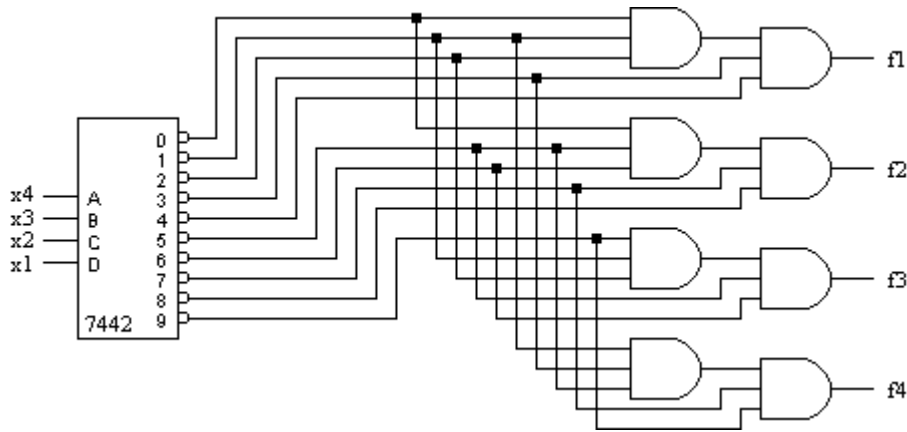


Şekil 2.1 : BCD-Excess 3 kod dönüştürücü devresinin SSI kapı elemanları ile sentezi

Bir Boole fonksiyonu SSI (Small Scale Integrated circuits) tümdevreleri ile gerçekleştirilebildiği gibi aynı zamanda MSI (Medium Scale Integrated circuits), LSI (Large Scale Integrated circuits) ve VLSI (Very Large Scale Integrated circuits) ailesinden PLD (Programmable Logic Devices) ve PLD’lerin bir uzantısı olan FPGA (Field Programmable Gate Arrays) ve PLC (Programmable Logic Circuits) gibi elemanlar ile de gerçekleştirilebilir. SSI, MSI, LSI ve VLSI tümdevreler sırasıyla 1-10, 10-100, 100-1000 ve 1000-... arasında kapı elemanı içeren tümdevrelerdir. MSI ve LSI elemanları, sayısal devrelerin tasarımında sıkça kullanılır. MSI ve

LSI elemanlardan beklenen, minimum sayıda kapı içermesinden ziyade bacak bağlantılarının minimum olmasıdır.

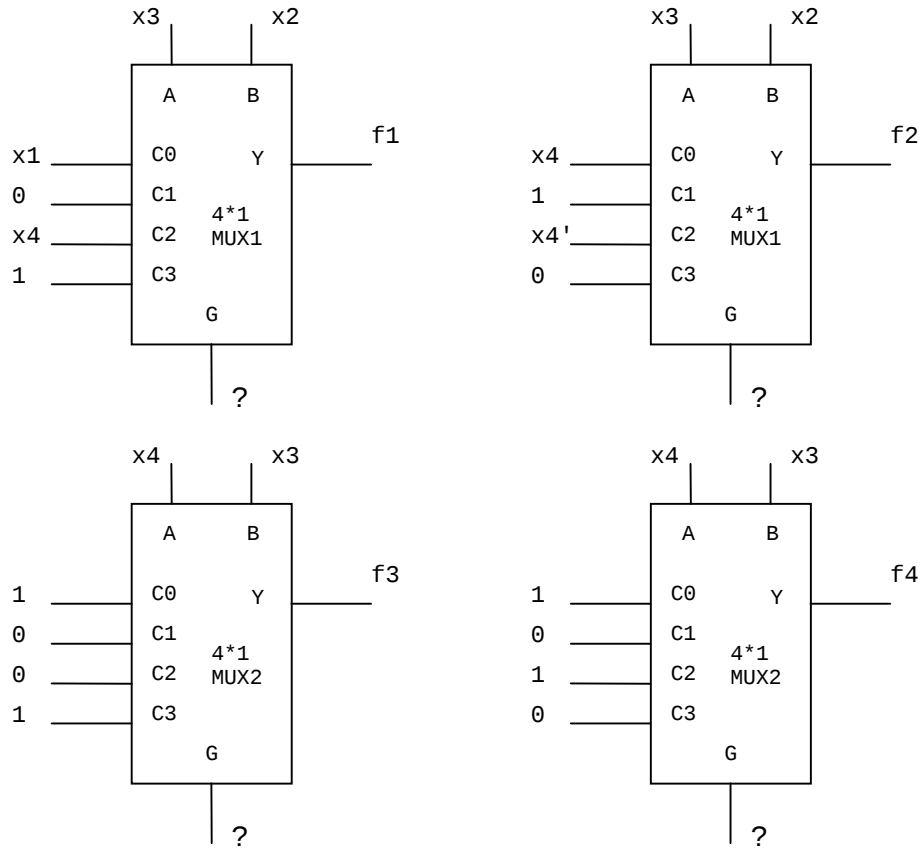
Kod Çözücü (Dekoder) : Kod çözücüler, genellikle n girişli 2^n çıkışlı devrelerdir. İkili kodlanmış ondalık sayılar (Binary Coded Decimal : 0-9) için 4 girişli 10 çıkışlı, 4x10, kod çözücüler de mevcuttur. Genel olarak n girişin alabileceği her bir giriş kombinasyonu için çıkışlardan yalnızca biri lojik 1 (lojik 0), diğerleri ise lojik 0 (lojik 1) olur. Bir başka deyişle, çıkışlar minterimleri (maksterim) belirlemektedir. $n \times 2^n$ 'lik bir kod çözücü, varolan bütün 2^n minterimleri (maksterim) oluşturacağına göre herhangi bir n değişkenli Boole fonksiyonu, iki seviyeli olarak kod çözücülerle gerçekleştirilebilir. n değişkenli bir Boole fonksiyonunda minterim (maksterim) sayısı k ise, bu fonksiyon, $n \times 2^n$ 'lik bir kod çözücü ve k giriş yelpazesine sahip olan bir OR (AND) kapısıyla gerçekleştirilebilir. Bunun yanında n değişkenli m tane Boole fonksiyonu, aynı kod çözücü ve m adet OR (AND) kapısıyla gerçekleştirilebilir. Şekil 2.2'de BCD-Excess 3 kod dönüştürücü devresinin kod çözücü ve AND kapı elemanları kullanılarak tasarımı verilmiştir.



Şekil 2.2 : BCD-Excess 3 kod dönüştürücü devresinin BCD kod çözücü ile sentezi

Çoğullayıcı (Multiplexer) : Genel olarak çoğullayıcılar, birden fazla fiziksel bilgi kanalındaki bilgiyi, istenen sırada tek bir fiziksel bilgi kanalına aktarmak için kullanılır. Lojik devre kapsamı içinde çoğullayıcı, 2^n girişindeki bilgiyi n kontrol girişi ile istenen sırada tek bir çıkışa aktarmaya yarayan kombinezonsal devredir. Çoğullayıcılar kullanarak bir Boole fonksiyonunu gerçeklemek için kod çözücülerde olduğu gibi minterimleri gerçeklemek gerekir. n kontrol değişkenli $2^n \times 1$ 'lik bir çoğullayıcı ile n değişkenli bir Boole fonksiyonunun gerçekleştirilmesi istendiğinde, fonksiyonun değişkenleri, çoğullayıcının kontrol girişleri olarak alınır. Kontrol girişlerinin alacağı her bir değer bir minterim'i belirler ve çoğullayıcıda buna karşı düşen bir giriş vardır. Eğer gerçekleştirilecek fonksiyon, bu minterim

için lojik 1 ise buna karşı düşen girişe lojik 1, eğer lojik 0 ise bu girişe lojik 0 uygulanır ve bu işlev bütün giriş değerleri için tekrarlandığında çoğullayıcı çıkışı, verilen Boole fonksiyonunu gerçekleştirmiş olur. Aynı zamanda n kontrol girişli $2^n \times 1$ 'lik bir çoğullayıcı ile $(n+m)$ değişkenli bir Boole fonksiyonu, n adet değişken, çoğullayıcının kontrol girişleri olarak alınıp ve 2^n adet girişe, geriye kalan m adet bağımsız değişkenin oluşturduğu fonksiyonların uygulanması ile gerçekleştirilir. Kontrol girişleri olarak hangi bağımsız değişkenlerin seçileceğine devre karmaşıklığına bakılarak karar verilir. Şekil 2.3'te BCD-Excess 3 kod dönüştürücü devresinin çoğullayıcı elemanları ile tasarımı verilmiştir.



Şekil 2.3 : BCD-Excess 3 kod dönüştürücü devresinin 4×1 çoğullayıcı ile sentezi

Boole fonksiyonlarının gerçekleştirilmesi sırasında SSI veya MSI elemanlarından hangisinin tercih edileceği koşullara bağlıdır. Mesela, aynı fonksiyonu gerçekleyen devreden çok sayıda üretilecek ise SSI kapı sentezindeki indirgeme yöntemleri kullanılarak bulunan lojik devrenin gerçekleştirilmesi daha uygun olur. Eğer sadece prototip bir devre gerçekleştirilmesi söz konusu ve zaman önemli ise mevcut MSI elemanlarını kullanmak hem zaman hem de işçilik tasarrufu sağlar.

Deney Öncesi Hazırlıklar :

1. Deney sırasında gerçekleştirilecek olan devrenin çıkışlarına ait olan Boole fonksiyonlarının minimal çözümlerinin doğruluk tablosu yardımıyla bulunması, bulunan minimal çözümlerin CAD araçları (Espresso veya MORP) ile doğruluğunun kanıtlanması ve iki seviyeli olarak kapı elemanları ile gerçekleştirildikten sonra deney föyündeki devre ile devre karmaşıklığı açısından karşılaştırılması.
2. Kod çözücü ve çoğullayıcı yapılarının incelenmesi.
3. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
4. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Şekil 2.1’de verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız. Devre girişlerini lojik anahtarlardan alıp, çıkışlarını LED (Light Emiting Diode)’lerden gözleyerek, doğruluk tablosunu sağlayıp sağlamadığını saptayınız.
2. Şekil 2.2’de verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp, çıkışlarını LED’lerden gözleyerek doğruluk tablosunu sağlayıp sağlamadığını saptayınız.
3. Şekil 2.3’te verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız. Çoğullayıcının kontrol girişlerine uygun lojik değerler bağlayınız. Bunun için çoğullayıcının katalog bilgisinden yararlanınız. Devrenin girişlerini lojik anahtarlardan alıp, çıkışlarını LED’lerden gözleyerek doğruluk tablosunu sağlayıp sağlamadığını saptayınız.

Raporda İstenilenler :

1. Şekil 2.1-2-3’te verilen devreleri, katalog bilgilerinden faydalanarak her bir çıkış için gecikme sürelerine göre karşılaştırınız.

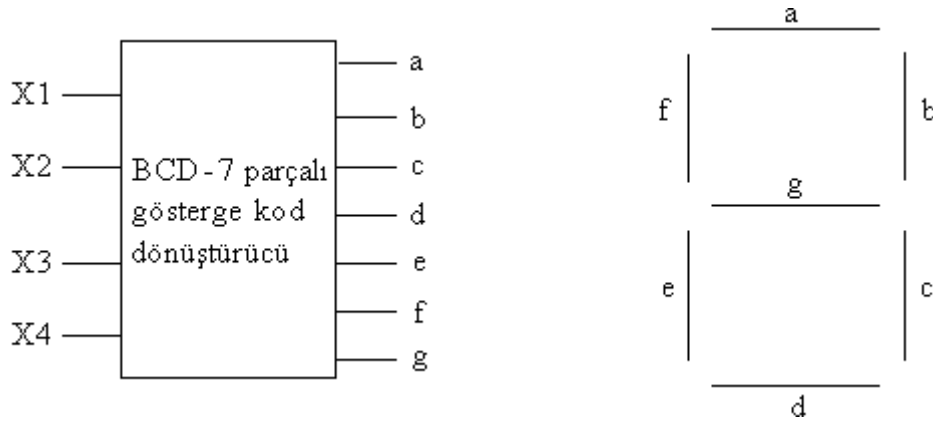
İpucu : Bir kombinezonsal devrenin gecikme süresi, devrenin her bir girişinden her bir çıkışına ulaşılan yollarda bulunan kapıların toplam gecikmelerin en büyüğü olarak bilinir.

2. Tablo 2.1’de verilen doğruluk tablosunun yardımıyla BCD-Excess 3 kod dönüştürücü devresini 74138 3×8 kod çözücü tümdevreleri ve uygun kapılar kullanarak tasarlayınız.
3. Sekiz adet bağımsız girişi, $X_7X_6X_5X_4X_3X_2X_1X_0$, ve üç adet çıkışı, $Z_2Z_1Z_0$, olan üç bitlik kodlayıcının (encoder) tasarlanması istenmektedir. Kodlayıcıda, giriş değişkenlerinden bir tanesi lojik 1 değerine, diğerleri lojik 0 değerlerine sahip iken, lojik 1 değerine sahip olan giriş değişkeninin indisi çıkışta ikili kodlanmış olarak görülür. Örneğin $X_3=1$ ve diğer

değişkenler lojik 0 değerine sahip iken çıkış, $Z_2Z_1Z_0=011$ 'dir. Bu şekilde tasarlanacak olan kodlayıcının doğruluk tablosunu oluşturup, bu kodlayıcıya karşı düşen devreyi SSI kapı elemanları ile gerçekleyiniz.

İpucu : Çıkış fonksiyonlarının lojik 1 değerini alması, hangi girişlerin lojik 1 değerine sahip olmasını zorunlu kılmaktadır diye düşününüz. Sonuçta bu girişlerden herhangi birinin lojik 1 değerine sahip olmasının devre fonksiyonunu gerçekleyeceğini bulunuz.

4. BCD-7 parçalı gösterge kod dönüştürücünün PAL elemanı ile tasarlanması istenmektedir. Kod dönüştürücünün giriş ve çıkışları ile blok diyagramı ve 7 parçalı göstergenin LED bağlantıları Şekil 2.4'te verilmiştir. Verilenler ışığında doğruluk tablosunu oluşturup çıkış fonksiyonlarına ilişkin minimal çözümlerini MORP veya ESPRESSO programı kullanarak bulunuz. Elde edilen çözümleri PAL16L8A elemanı ile tasarlayınız. Bunun için PAL elemanının lojik diyagramını doldurunuz. PAL elemanı ile tasarım yapıldığında ne gibi avantajlar ile karşılaşıldığını belirtiniz.



Şekil 2.4 : BCD-7 parçalı gösterge kod dönüştürücü blok diyagramı ve 7 parçalı gösterge LED bağlantıları

Malzeme Listesi :

- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7404 NOT kapı tümdevresi
- 1 adet 7442 BCD-ondalık kod çözücü tümdevresi
- 1 adet 7486 EXOR kapı tümdevresi
- 2 adet 74153 4×1 çoğullayıcı tümdevresi
- 3 adet 7411 AND kapı tümdevresi

DENEY 3 : SSI ve MSI ELEMANLARI ile KOMBİNEZONSAL DEVRE SENTEZİ

Genel Açıklamalar :

Deney gruplarının bu deneyde hangi devreleri gerçekleyecekleri deney gününden bir hafta önce ilan edilecektir. Deney sırasında gerçekleşmesi istenen devreler, Deney 2’de verilen kombinezonsal devre sentezi yöntemlerine göre tasarlanacaktır.

Deney Öncesi Hazırlıklar :

1. Deney gününden bir hafta önce deney gruplarının, deney sırasında gerçekleyecekleri devreleri öğrenmeleri.
2. Gerçeklenmesi istenen Boole fonksiyonlarına ait olan doğruluk tablolarının oluşturulması ve uygun indirgeme yöntemleri kullanılarak bu fonksiyonların indirgenmesi. Elde edilen indirgenmiş fonksiyonların, CAD araçları (Espresso, MORP) kullanılarak elde edilen sonuçlar ile karşılaştırılması.
3. Deney sırasında gerçekleşmesi istenen devrenin, devre karmaşıklığının tümdevre sayısı açısından minimal olacak şekilde SSI kapı elemanları kullanılarak tasarlanması.
4. Deney sırasında gerçekleşmesi istenen devrenin, MSI elemanlarından kod çözücü tümdevreleri ve uygun SSI kapı elemanları kullanılarak tasarlanması.
5. Deney sırasında gerçekleşmesi istenen devrenin, MSI elemanlarından çoğullayıcı tümdevreleri ve uygun SSI kapı elemanları kullanılarak tasarlanması.
6. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
7. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. SSI kapı elemanları kullanarak tasarladığınız devreyi deney setine kurunuz. Kullandığınız bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Gerekli olan bütün bağlantıları yaptıktan sonra çıkışları, LED’lerden gözleyerek kurduğunuz devrenin, doğruluk tablosunu sağlayıp sağlamadığını saptayınız.
2. MSI elemanlarından kod çözücü tümdevresi ve uygun SSI kapı elemanları kullanarak tasarladığınız devreyi deney setine kurunuz. Kullandığınız bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Gerekli olan bütün bağlantıları yaptıktan sonra çıkışları, LED’lerden gözleyerek kurduğunuz devrenin, doğruluk tablosunu sağlayıp sağlamadığını saptayınız.

3. MSI elemanlarından çoğullayıcı tümdevresi ve uygun SSI kapı elemanları kullanarak tasarladığınız devreyi deney setine kurunuz. Kullandığınız bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Gerekli olan bütün bağlantıları yaptıktan sonra çıkışları, LED'lerden gözleyerek kurduğunuz devrenin, doğruluk tablosunu sağlayıp sağlamadığını saptayınız.

Raporda İstenenler :

1. Deney öncesinde tasarladığınız devreleri, doğruluk tablosu ile birlikte veriniz.
2. 4-bitlik Gray kodunu, 4-bitlik ikili sayıya dönüştüren kod dönüştürücü devresini, sadece EXOR kapı elemanları kullanarak tasarlayınız.
3. Bir bankada 5 kişiden herhangi 3 kişi, her gün banka kasasını, bu kasaya ait olan 5 kilitten 3'ünü, kendilerine verilen anahtarlar ile açmak için görevlendirilmişlerdir. Bankanın kasası, sadece bu 5 kişiye ait olan anahtarlardan 3'ünün kullanılması ile açılmaktadır. Buna göre banka kasasının her gün açılması için oluşturulabilecek olan doğruluk tablosunu oluşturup Boole fonksiyonunu yazınız. Elde ettiğiniz sonucu yorumlayarak genel bir algoritmaya ulaşınız. (n = Banka kasasını açmak için ellerine anahtar verilmiş kişi sayısı, m = Banka kasasının açılması için yeterli olan kişi sayısı olsun.)
İpucu : İlk olarak banka kasasının açılmasının kaç farklı yoldan gerçekleştirilebileceğini bularak doğruluk tablosunu oluşturunuz. Bu farklı yolların her birini teker teker ele alarak banka kasasının açılması için kimlerin beraber olmaları gerektiğini ve bu kişiler beraber olduklarında diğerleri olmasa da banka kasasının açılacağını düşününüz.
4. Bağımsız değişken sayısı, $2^n \times 1$ 'lik bir çoğullayıcının n kontrol girişinden fazla olan bir fonksiyon, $2^n \times 1$ 'lik bir çoğullayıcı ile gerçekleştirilmek istendiğinde çoğullayıcının girişlerinde oluşturulacak minimal devre karmaşıklığını belirleyebilmek için hangi adımların izlenmesi gerektiğini belirtiniz ve elde ettikleriniz ile genel bir sonuca ulaşınız.
5. SSI kapı elemanları kullanılarak yapılan kombinezonsal devre tasarımı sırasında izlenen aşamalar ile MSI elemanları kullanılarak yapılan kombinezonsal devre tasarımı sırasında izlenen aşamaları karşılaştırıp birbirleri arasındaki üstünlükleri belirleyiniz.

Malzeme Listesi :

Tasarımcıların laboratuvarında varolan tümdevrelerden seçtikleri.

DENEY 4 : SENKRON ARDIŞIL DEVRE ANALİZİ

Genel Açıklamalar :

Ardışıl devreler, senkron ve asenkron devreler olmak üzere iki ana sınıfta toplanırlar. Senkron devrelerde, periyodik saat darbeleri üreten bir merkezi saat vardır ve bütün bellek elemanlarının saat girişlerine bu merkezi saat bağlanmıştır. Devre, sadece saat darbesi geldiği zaman, giriş işaretleri ve o andaki durum değişkenlerine ilişkin işaretlere göre çalışır. Yeni bir saat darbesi gelene kadar devre çalışmaz. Devrenin çalışma hızı, saat darbelerinin periyoduyla sınırlanmıştır. Asenkron devrelerde, saat darbeleri yoktur. Temel modda ve darbe modunda çalışanlar olmak üzere iki farklı türden olabilirler. Temel modda çalışan asenkron devrelerde girişler, seviye biçimindedir, yani yeni bir giriş gelene kadar eski girişler sabit kalarak sistemin kararlı bir duruma gelmesini sağlar. Yarış probleminin olmaması için birden fazla giriş değişkeni aynı anda değiştirilmez. Darbe modunda çalışan devrelerde girişler, darbe biçimindedir. Herhangi bir anda giriş değişkenlerinden sadece biri lojik 1, diğerleri lojik 0 değerinde olmak zorundadır.

Genel olarak bir senkron ardışıl devre, Mealy veya Moore tipi olabilir. Mealy tipi devrede, belirli bir andaki girişler ve o anki durumlar, çıkışları belirler. Moore tipi devrede ise çıkışlar, sadece o anki durumlara bağlıdır.

Deney föyleri boyunca senkron ardışıl devrelerde o anki durum, Q değişkeni ile gösterilirken bir sonraki durum, Q_+ değişkeni ile gösterilecektir. Genel olarak senkron ardışıl devrenin analiz adımları şu şekilde verilebilir:

Birinci Adım : n adet giriş ve s adet durum değişkenine sahip olan senkron ardışıl devrenin kombinezonsal kısmının çıkış fonksiyonlarına, yani bellek elemanı girişlerine ve senkron ardışıl devrenin m adet çıkışlarına ilişkin $n + s$ değişkenli fonksiyonlar,

$$Z_j = f_j(x_1, \dots, x_n, Q_1, \dots, Q_s) \quad j = 1, 2, \dots, m$$

şeklinde verilen devre yardımıyla yazılır.

İkinci Adım : Bellek elemanı giriş fonksiyonları, bellek elemanın tanım bağıntılarında ($Q_+ = J.Q' + K'.Q$, $Q_+ = D$, $Q_+ = S + R'.Q$ ve $Q_+ = T.Q' + T'.Q$) yerine konularak bir sonraki durum fonksiyonları, $Q_{+1}, Q_{+2}, \dots, Q_{+s}$ belirlenir. Böylece devrenin durum denklemleri,

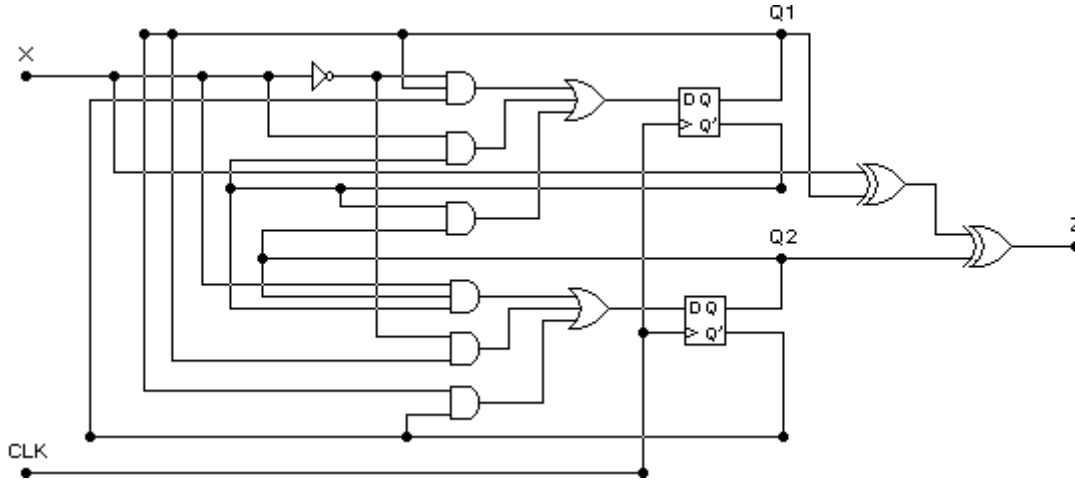
$$Q_{+i} = f_i(x_1, \dots, x_n, Q_1, \dots, Q_s) \quad i = 1, 2, \dots, s$$

şeklinde elde edilmiş olur.

Üçüncü Adım : Durum denklemlerinden ve senkron ardışıl devrenin çıkış fonksiyonlarından yararlanarak, durum tablosu veya durum diyagramı oluşturulur.

Ardışıl sistemlerde, giriş ve çıkışlar zamana bağlı olarak birer dizi oluşturmaktadırlar. Giriş ve başlangıç durum dizileri verildiğinde, bir sonraki durumlar ve çıkış fonksiyonlarının zamana göre değişimini gösteren diyagramlara zaman diyagramı denir. Mealy devrelerinde çıkış fonksiyonu, durum değişkeninin değiştiği saat darbelerinin düşen veya yükselen kenarları dışında, giriş değişkenlerinin değişmesiyle de değişebilir. Bu nedenle, çıkış fonksiyonlarına ilişkin zaman diyagramını çizerken saat darbesinin düşen kenarı veya yükselen kenarı (durumların değişebileceği an) ve giriş değişkenlerinin değiştiği zaman aralığı, kritik zaman aralığıdır. Çünkü bu kritik zaman aralığında yeni gelen durumda, birinci saat darbesine ilişkin giriş, etkisini sürdürerek hatalı çıkışlara neden olur. Böyle bir durumda zararlı ve zararsız olmak üzere iki tür hatalı çıkış gözükabilir. Zararlı ve zararsız hatalı çıkışlar da, kendi içlerinde hatalı çıkışın değerine göre 0 ve 1 olmak üzere ikiye ayrılırlar. Kritik zaman aralığı öncesindeki, anındaki ve sonrasındaki çıkış dizisinde, sürekli bir değişim (sırasıyla 010 veya 101) söz konusu ise kritik zaman aralığındaki değere göre zararlı hatalı çıkış (sırasıyla zararlı hatalı 1 çıkışı veya zararlı hatalı 0 çıkışı) gözlenir. Eğer böyle bir değişim yoksa kritik zaman aralığındaki değere göre zararsız hatalı çıkışlar gözlenir.

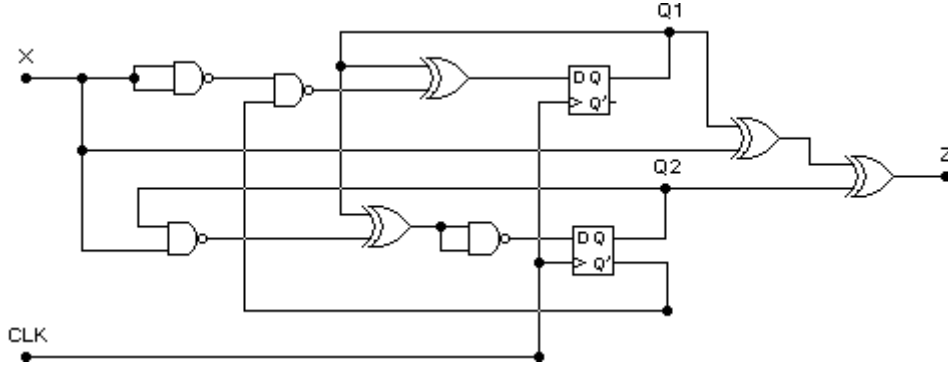
Bu deneyde analizi yapılacak olan Mealy makinesine ilişkin devre şeması, Şekil 4.1’de verilmektedir.



Şekil 4.1 : Analizi yapılacak senkron ardışıl devre

Teorik olarak, SSI elemanları ile sentez yaparken kullanılacak kapı sayısı ve kapı giriş yelpaze sayısı ile bellek elemanı sayısının minimalleştirilmesi esas alınır. Ancak uygulamada, tümdevreler kullanıldığından minimallik kavramı, tümdevre sayısı ile ilişkili olmaktadır. Şekil 4.1’de verilen devre için toplam 6 adet tümdevre gerekirken ortak bileşenler için ortak

yapılar kullanarak ve aynı tür kapı dönüşümü yaparak NAND ve EXOR kapıları ile tasarlanan Şekil 4.2'deki devrede toplam 3 adet tümdevreye ihtiyaç duyulmaktadır.



Şekil 4.2 : Analizi yapılacak senkron ardışıl devrenin NAND ve EXOR kapıları ile tasarımı

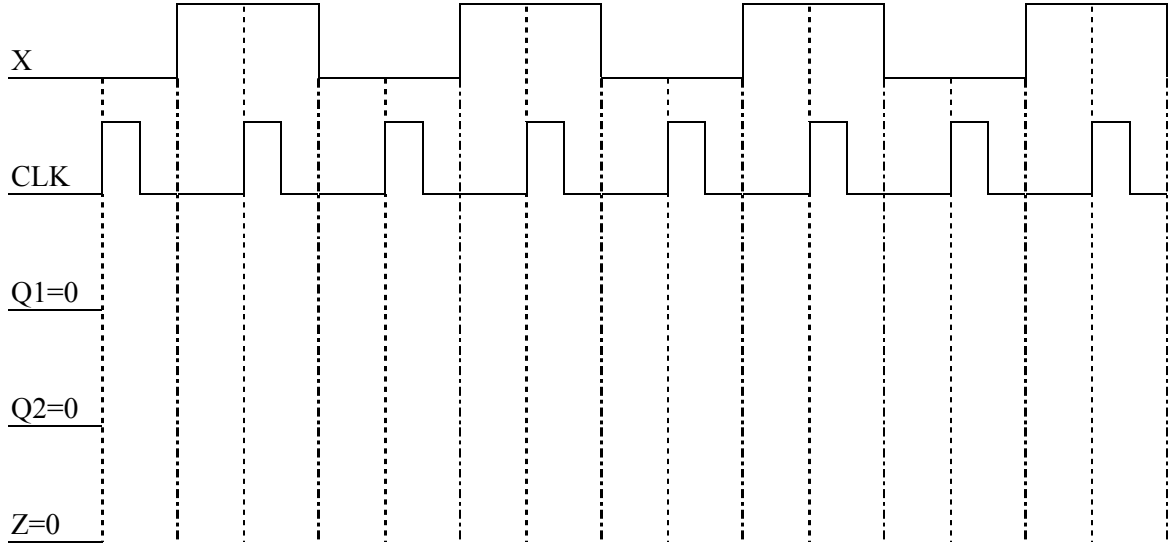
Deney Öncesi Hazırlıklar :

1. Ardışıl ve kombinezonsal devreler arasındaki farklılıklarının araştırılması.
2. Çok seviyeli lojik devre gerçekleştirme metotlarının incelenmesi.
3. Boole fonksiyonlarının sadece NAND ve NOR kapıları ile sentezinin incelenmesi.
4. Analiz edilecek olan senkron ardışıl devrenin çıkış ve bir sonraki durum fonksiyonlarının bulunup durum tablosu ve durum diyagramının elde edilmesi.
5. Bellek elemanlarının işleyişlerinin incelenmesi.
6. Zararlı ve zararsız hatalı çıkışların incelenmesi.
7. Deney sırasında gerçekleştirilecek olan devrenin CAD araçları ile simülasyonu.
8. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

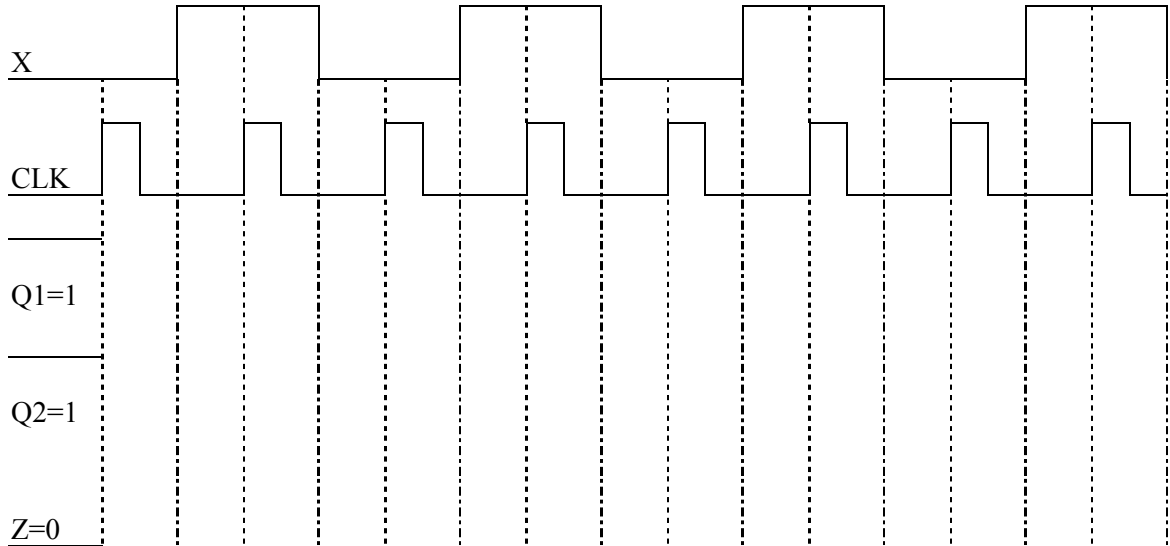
Deney Sırasında Yapılacaklar :

1. Şekil 4.2'de verilen devreyi deney setine kurunuz. Bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devre girişini, lojik anahtardan aldıktan sonra, istediğiniz başlangıç durumunu elde edebilmek için bellek elemanlarının preset ve clear uçlarını lojik anahtarlara bağlayınız. Bellek elemanlarının ve devrenin çıkışlarını LED'lere bağlayınız. Bellek elemanlarının saat girişlerini, ortak debounce pushbutton'a bağlayınız. Kullandığınız bellek elemanlarının saat işaretine göre nasıl bir tetiklemeye sahip olduklarını öğreniniz. Bunun için bellek elemanının katalog bilgisine başvurunuz.
2. Kurduğunuz devrenin durum diyagramına göre çalışıp çalışmadığını, bellek elemanlarının clear ve preset girişlerini kullanarak ve bellek elemanlarının ve devrenin çıkışlarını LED'lerden gözleyerek saptayınız.

3. $Q_1Q_2=00$ başlangıç durumu için aşağıda verilen zaman diyagramını doldurup oluşacak hatalı çıkışların türlerini belirleyiniz.



4. $Q_1Q_2=11$ başlangıç durumu için aşağıda verilen zaman diyagramını doldurup oluşacak hatalı çıkışların türlerini belirleyiniz.



Raporda İstenilenler :

1. Teorik olarak Şekil 4.1'deki devrenin matematiksel modelini çıkartıp durum tablosunu ve durum diyagramını elde ediniz. Çıkardığınız durum tablosundan faydalanarak bu devreyi, JK bellek elemanları ile gerçekleyiniz ve elde edilen sonuçları devre ve tümdevre karmaşıklığı (aynı tür kapı dönüşümü ile) açısından karşılaştırınız.
2. Zaman diyagramlarını yorumlayınız. Hata oluşuyorsa hatanın oluşma nedenini ve hatasız zaman diyagramı elde etmek için önerilerinizi yazınız.
3. Bulduğunuz durum diyagramından yararlanarak zararlı hatalı 0 çıkışı ve zararlı hatalı 1 çıkışı gözlemleyebilmek için bir durum ve giriş dizisi örneği veriniz.
4. NOT ve iki girişli OR, AND, EXOR, EXNOR kapılarını NAND ve NOR kapıları ile gerçekleyiniz ve elde edilen sonuçları göz önüne alarak sadece NAND veya NOR kapılarının kullanılmasının yararlarını ve sakıncalarını belirtiniz.
5. Bir çıkışlı bir devrede, çıkışa ait olan bir Boole fonksiyonunun iki seviyeli minimal çözümünü bulmak, aynı zamanda bu fonksiyonu minimal kapı elemanı kullanarak tasarlamaya denktir. Birden fazla çıkışa sahip olan bir devrede, çıkışlara ait Boole fonksiyonlarının, minimal kapı elemanı kullanılarak gerçekleştirilmesi istendiğinde ise her fonksiyona ait olan iki seviyeli minimal çözümlerin, minimal devre karmaşıklığı verip vermeyeceğini inceledikten sonra eğer vermeyecek ise hangi durumlarda vermeyeceğini ve bu durumları bulmak için ne tür algoritmaların kullanılması gerektiğini belirtiniz.

Malzeme Listesi :

- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7474 D bellek elemanı tümdevresi
- 1 adet 7486 EXOR kapı tümdevresi

DENEY 5 : DİZİ DEDEKTÖRÜ

Genel Açıklamalar :

Senkron ardışıl devrelerin sentezi için çeşitli yöntemler vardır. Aşağıda bu yöntemlerden biri verilecektir. Yöntemin adımları şöyledir.

Birinci Adım : Problemin sözle tanımlanması.

İkinci Adım : Durum diyagramının veya tablosunun oluşturulması.

Üçüncü Adım : Durum indirgemesi (state reduction).

Dördüncü Adım : Durum kodlaması (state assignment).

Beşinci Adım : Ardışıl devre içinde kullanılacak olan bellek elemanlarının seçimi, bellek elemanlarının ters tanım bağıntılarından yararlanılarak bellek elemanları giriş fonksiyonları ile devrenin çıkış fonksiyonlarının bulunması ve indirgenmesi.

Altıncı Adım : Devrenin gerçekleştirilmesi.

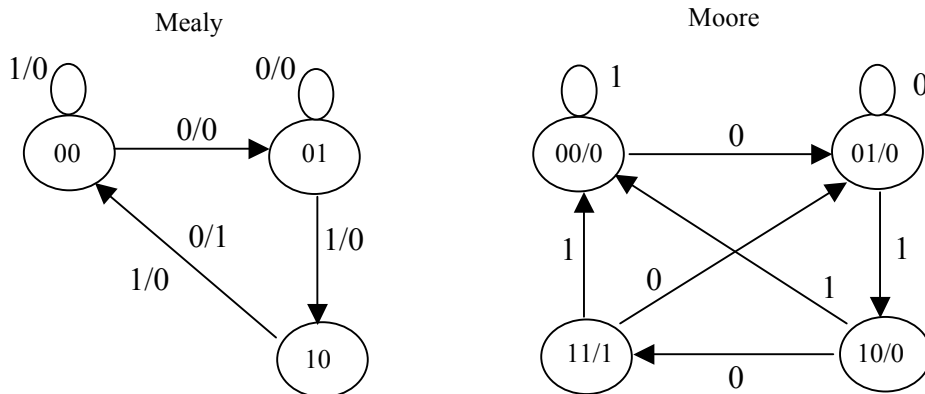
Sözle Tanım : Üç uzunluklu bir giriş dizisini algılayan Mealy ve Moore makinelerinin tasarlanması istenmektedir. Bir giriş dizisi içinde içiçe girmemiş olan (010) dizisi algılanacaktır. Aşağıda bir giriş dizisine karşı düşen çıkış dizisi örneği verilmiştir.

Giriş : 0 0 1 0 1 0 1 0 0 0 1 0

Çıkış : 0 0 0 1 0 0 0 1 0 0 0 1

Şekil 5.1’de, istenilen özellikleri taşıyan dizi dedektörüne ilişkin Mealy ve Moore makinelerinin durum diyagramları verilmiştir.

00 :Başlangıç durumu , 01: (0) gelmiş durumu, 10: (01) gelmiş durumu, 11: (010) gelmiş durumu



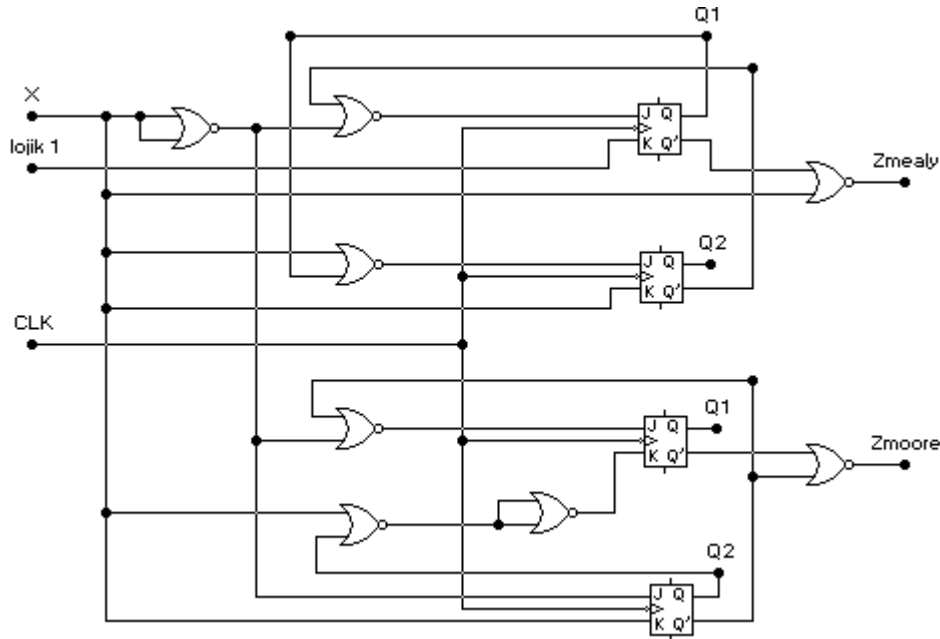
Şekil 5.1 : Mealy ve Moore makinelerinin durum diyagramları

Durum indirgemesi ve kodlaması tamamlandıktan sonra Mealy ve Moore makinelerinin gerçekleştirilmesi için JK bellek elemanları seçilmiştir. JK bellek elemanının ters tanım bağıntısından her iki makine için bulunan bellek elemanlarının giriş fonksiyonları ve devrenin çıkış fonksiyonu (5.1) ve (5.2)'de verilmiştir.

$$\text{Mealy : } J_1 = x.Q_2, K_1 = 1, J_2 = x'.Q_1', K_2 = x, Z_{\text{Mealy}} = x'.Q_1 \quad (5.1)$$

$$\text{Moore : } J_1 = x.Q_2, K_1 = x+Q_2, J_2 = x', K_2 = x, Z_{\text{Moore}} = Q_1.Q_2 \quad (5.2)$$

Görüldüğü gibi, Mealy makinesi için 1 JK, 1 AND, 1 NOT olmak üzere üç adet tümleşik devre gerekir. Moore makinesi için ise 1 JK, 1 AND, 1 OR, 1 NOT olmak üzere dört adet tümleşik devre gerekmektedir. Bu deneyde her iki makine de gerçekleştirilip, karşılaştırılacakları için iki makinede de ortak olan fonksiyonlar için ortak kapılar kullanılacaktır. Aynı zamanda tek tip kapı elemanı kullanarak tümleşik devre bazında devre karmaşıklığının azaltılması sağlanacaktır. Bu şekilde tasarlanan devre Şekil 5.2'de verilmiştir.



Şekil 5.2 : Mealy ve Moore 010 dizi dedektörü

Deney Öncesi Hazırlıklar :

1. Durum indirgeme ve durum kodlama nedenlerinin ve sonuçlarının araştırılması.
2. Bellek elemanlarının ters tanım bağıntılarının incelenmesi.
3. Bellek elemanlarının giriş ve ardışıl devrenin çıkışlarına ait olan Boole fonksiyonlarının CAD araçları ile indirgenmesi ve deneydeki sonuçlar ile karşılaştırılması.
4. Deney sırasında gerçekleştirilecek olan devrenin CAD araçları ile simülasyonu.
5. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Şekil 5.2’de verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız. İstediğiniz başlangıç durumunu elde edebilmek için bellek elemanlarının preset ve clear uçlarını lojik anahtarlara bağlayınız. Makinelerin ve bellek elemanlarının çıkışlarını gözleyebilmek için LED’lere bağlayınız. Bellek elemanlarının saat girişlerini, ortak debounce pushbutton’a bağlayınız. Kullandığınız bellek elemanlarının saat işaretine göre nasıl bir tetiklemeye sahip olduklarını öğreniniz.
2. Moore ve Mealy makinelerinin verilen durum diyagramlarını, devrenize uygun girişler uygulayıp bir sonraki durum ve çıkışları gözleyerek sağlatınız.
3. Devre girişine X : 001001010110010011 (ilk bit 0) giriş dizisini uygulayarak, her iki makinenin çıkışlarını gözleyerek kaydediniz.
4. Aynı giriş dizisi altında Moore ve Mealy makine çıkışlarında lojik 1 değerini gözlemlemek için gerekli olan saat darbe sayısını karşılaştırınız.

Raporda İstenilenler :

1. Şekil 4.2’de verilen Mealy ve Moore senkron ardışıl devreleri için yapılabilecek olan birbirinden farklı durum kodlama sayısının ne olacağını belirtiniz.
2. Mealy ve Moore makineleri için durum kodlamasını aşağıdaki gibi yaparak ve yine JK bellek elemanları kullanarak devreyi gerçekleyiniz ve kombinezonsal kısma ait olan devre karmaşıklığının nasıl değişeceğini deney föyünde yer alan (5.1) ve (5.2) Boole fonksiyonları ile karşılaştırarak açıklayınız.
Mealy : 11: Başlangıç durumu, 00: (0) gelmiş durumu, 01: (01) gelmiş durumu.
Moore : 11: Başlangıç durumu, 01: (0) gelmiş durumu, 10: (01) gelmiş durumu, 00: (010) gelmiş durumu.
3. Bir bit dizisi içinde içiçe girmiş 010 dizisini yakalayan bir Mealy makinesini, D bellek elemanları kullanarak tasarlayınız.
4. Bir Mealy makinesinin yaptığı işi gören bir Moore makinesi nasıl tasarlanır sorusuna öneriler getiriniz.
5. Durum indirgeme ve durum kodlama tekniklerin kullanılmasının devre karmaşıklığı açısından ne gibi yararlar getireceğini açıklayınız.

Malzeme Listesi :

- 2 adet 7402 NOR kapı tümdevresi
- 2 adet 7476 JK bellek elemanı tümdevresi

DENEY 6 : SENKRON ARDIŞIL DEVRE SENTEZİ

Genel Açıklamalar :

Deney gruplarının bu deneyde hangi devreleri gerçekleyecekleri deney gününden bir hafta önce ilan edilecektir. Deney sırasında gerçekleşmesi istenen devreler, Deney 5'te verilen senkron ardışıl devre sentez adımlarına göre tasarlanacaktır.

Deney Öncesi Hazırlıklar :

1. Deney gününden bir hafta önce deney gruplarının deney sırasında gerçekleyecekleri devreleri öğrenmeleri.
2. Deney sırasında gerçekleşmesi istenen devrelerin, seçilen bellek elemanları kullanılarak tasarlanması. Bellek elemanlarının giriş fonksiyonlarına ve devrenin çıkışına ait olan Boole fonksiyonlarının indirgenmesi ve tasarımda elde edilen sonuçların, CAD araçları (Espresso, MORP) kullanarak elde edilen sonuçlar ile karşılaştırılması.
3. Deney sırasında gerçekleştirilecek olan devrenin, CAD araçları ile simülasyonu.
4. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Tasarladığınız senkron ardışıl devreyi deney setine kurunuz. Kullandığınız bütün tümdevrelerin toprak ve besleme bağlantılarını yapınız. Gerekli olan bütün bağlantıları yaptıktan sonra bellek elemanlarının ve devrenin çıkışlarını LED'lere bağlayıp, uygun girişler altında durum diyagramını doğrulayıp doğrulamadığını ve istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

Raporda İstenilenler :

1. Deney öncesinde tasarladığınız devreyi, durum tablosu ve diyagramı ile birlikte veriniz.
2. Deney sırasında gerçeklediğiniz devrede zararlı hatalı çıkışlar oluşup oluşmadığını ve eğer oluştuysa, bu zararlı hatalı çıkışı oluşturan birer durum ve giriş dizisi veriniz.
3. Deney sırasında gerçeklediğiniz devreyi PAL16R8AM devresi ile tasarlayınız ve bunun için PAL elemanının lojik diyagramını doldurunuz.
4. 7 bitlik bir bit dizisi içinde bulunan 1 sayısını bulan ardışıl senkron devre tasarlanması istenmektedir. Her saat darbesi ile bitler, en anlamlıdan en anlamsıza doğru seri olarak devrenin tek girişine gelip 7 saat darbesi sonucunda devrenin üç adet çıkışında girilen bit dizisinin içindeki 1 sayısının gösterilmesi amaçlanmaktadır.

5. T, D, SR bellek elemanlarının kullanıldığı bir devrede bu bellek elemanlarının yerine JK bellek elemanı kullanılmak istenmektedir. JK bellek elemanlarının T, D, SR bellek elemanları gibi davranması için JK bellek elemanlarının girişlerinde ne gibi değişiklikler yapılması gerektiğini ve bu şekilde oluşturulacak devrenin devre karmaşıklığı açısından getireceği yararları ve sakıncaları bellek elemanlarının tanım bağıntılarından faydalanarak bulunuz.

6. Ardışıl senkron devre sentezinde bellek elemanın seçimi devre karmaşıklığını etkilemektedir. Tek girişli bellek elemanları (D ve T) ile iki girişli bellek elemanları (JK ve SR) arasında bir seçim yapılması istendiğinde, sentez sırasında ne gibi yararlar ve sakıncalar ile karşılaşılabileceğini belirtiniz.

Malzeme Listesi :

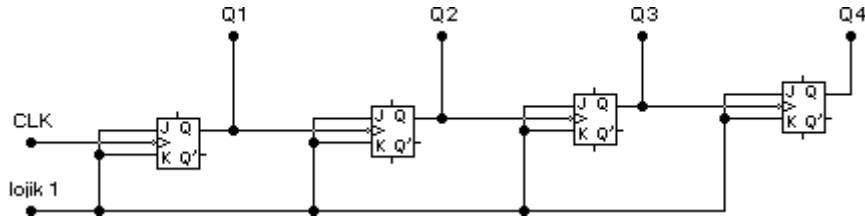
Tasarımcıların laboratuvarında varolan tümdevrelerden seçtikleri.

DENEY 7 : ASENKRON ve SENKRON SAYICILAR

Genel Açıklamalar :

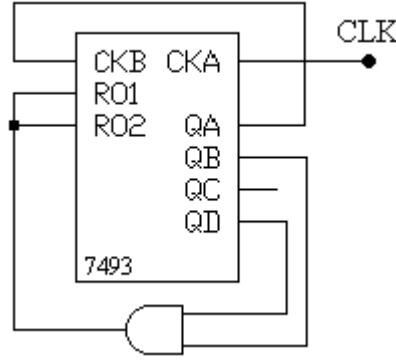
Giriş darbelerine bağlı olarak, belirli bir durum dizisini yineleyen ardışıl devrelere sayıcı denir. Sayma darbesi denilen giriş darbeleri, saat darbeleri olacağı gibi, herhangi bir olayı gösteren rasgele uyarılar da olabilir. Sayıcılar genelde, bir olayın gerçekleşme sayısının saptanmasında veya sayısal bir sistemde işlemleri denetlemekte kullanılan zamanlama işaretlerinin elde edilmesinde kullanılır. Bu uygulamalar, frekans bölme, bilgi saklama, darbe sayma gibi uygulamalar olabilir. Sayıcılar, kendi içlerinde saat kullanımına göre (senkron, asenkron), çıkışa ait olan kodlama türüne göre (BCD, Gray, Johnson), sayma ve programlanma yeteneklerine göre (ileri, geri, ileri/geri, programlanabilir) sınıflandırılırlar.

Asenkron Sayıcılar : Asenkron sayıcı (ripple counter), bir bellek elemanının çıkışındaki lojik seviye değişiminin, diğer bellek elemanlarının tetiklenmesi için gereken uyarı olarak kullanıldığı sayıcı türüdür. İlk bellek elemanı doğrudan saat darbesiyle (düşen veya yükselen kenarda) uyarılır, diğerleri ise, bir önceki bellek elemanı çıkışının değişmesi ile tetiklenir. Geri besleme uygulanmazsa, n tane bellek elemanı içeren bir sayıcı, birbirinden farklı durum dizisini yineleyerek $2^n - 1$ 'e kadar sayar. Şekil 7.1'de 4 adet JK bellek elemanı ile 0-15 arasında ileri olarak sayan bir sayıcı devresi verilmiştir.



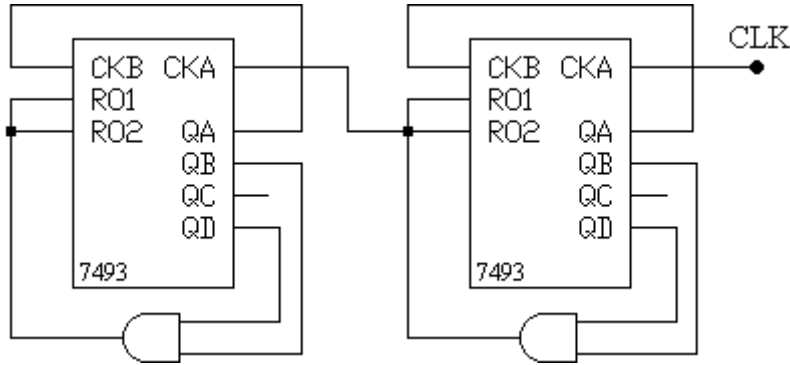
Şekil 7.1 : 4-bitlik asenkron ileri sayıcı devresi

Sayıcı olarak, MSI tümleşik devrelerin kullanılması, tasarım ve gerçekleştirme kolaylığı sağlar. MSI sayıcıların giriş, çıkış ve saat uçlarından başka enable, paralel yükleme, clear gibi kontrol uçları da vardır. MSI elemanlarından olan 7493, 4-bitlik bir sayıcıdır. İki adet reset girişi, RO0 ve RO1, ve iki adet saat girişi, CK A ve CK B, vardır. RO0 ve RO1 reset girişlerinin ikisi de lojik 1 olduklarında çıkışlar, lojik 0 değerini alırlar. Bu reset uçlarından herhangi birisi lojik 0 değerini aldığı ve ayrıca QA çıkışı, CK B girişine bağlandığında 7493 tümdevresi 0-15 arasında saymaya başlar. Şekil 7.2'de 7493 entegresi ile BCD'de ileri sayan devre verilmiştir.



Şekil 7.2 : BCD sayıcı

Şekil 7.2'deki devre yardımıyla gerçekleştirilmiş olan 0-99 ileri sayıcı devresi, Şekil 7.3'te verilmiştir.

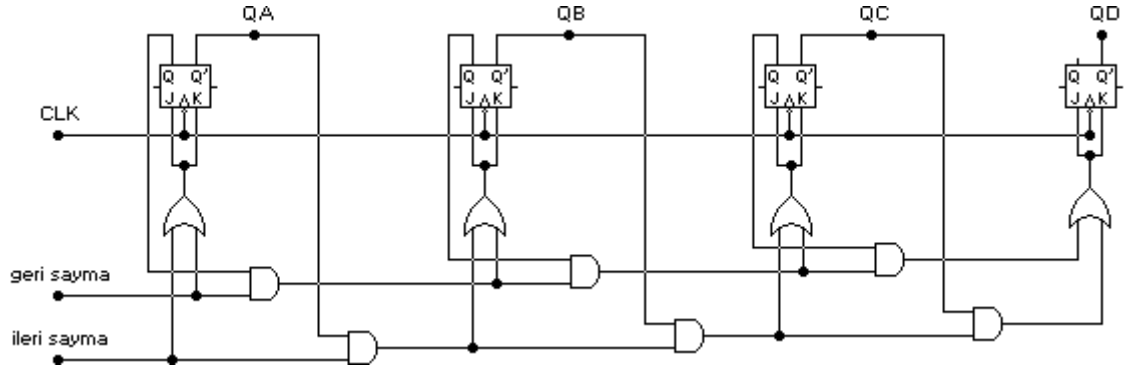


Şekil 7.3 : 0-99 sayıcı

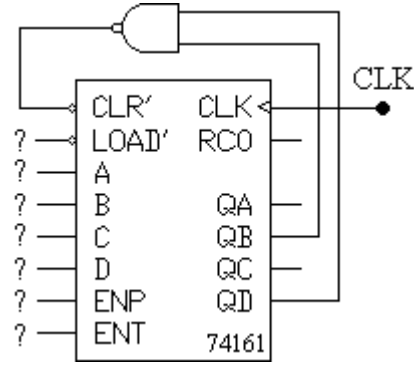
Senkron Sayıcılar : Tüm bellek elemanların saat girişlerinden aynı anda tetiklendikleri sayıcılara senkron sayıcı adı verilir. Genel olarak bir senkron sayıcı, bir bellek elemanının çıkışı, kendinden daha yüksek anlamlı bit basamaklarını belirten tüm bellek elemanlarının girişlerine kapı elemanlarının yardımı ile bağlanarak tasarlanır. Şekil 7.4'te hem ileri hem de geriye sayabilen 4-bitlik sayıcı devresi verilmiştir. Bu türde sayma işlemleri, geri sayma ve ileri sayma kontrol girişlerinin lojik 1 değerinde aktif hale getirilmesi ile gerçekleştirilir.

Uygulamada kullanılan MSI senkron sayıcıların, paralel yükleme özelliği ile, istenen sayıdan başlayarak istenen sayıya kadar saymaları kolayca sağlanabilir. Bir senkron sayıcı tümdevresi olan 74161, ENableP, ENableT, load ve clear olmak üzere dört adet kontrol girişi, CLK saat girişi, dört bitlik paralel girişi, dört bitlik paralel çıkışı ve bir bitlik elde çıkışına sahiptir. Giriş verilerinin çıkışa yüklenmesi için clear girişini lojik 1'e, load girişini lojik 0'a getirmek gerekir. Tümdevrenin içindeki bellek elemanları yükselen kenarda tetiklenirler. Eğer load ve clear girişi ve her iki sayma kontrol girişi (ENP ve ENT) lojik 1'e getirilirse, devre sayıcı

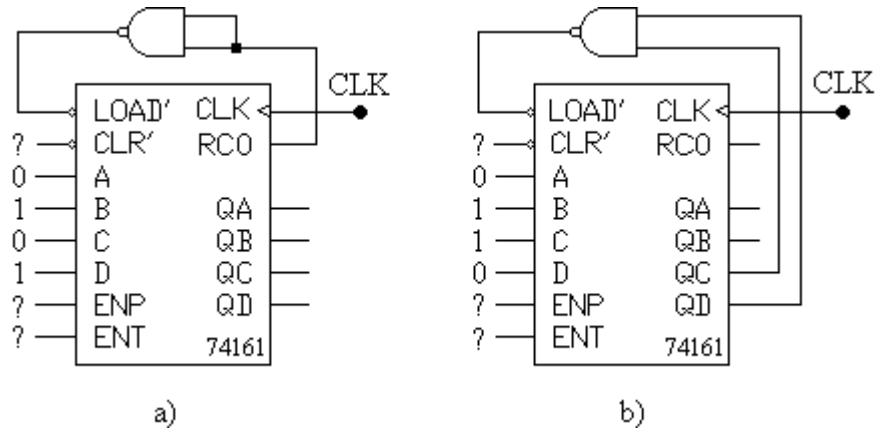
olarak çalışır. ENP ve ENT girişlerinden herhangi biri yada ikisi lojik 0 olursa çıkış korunur. Elde çıkışı, tüm paralel çıkışlar lojik 1 değerine eşit olunca, lojik 1 değerini alır. 74161 tümdevresi ile ilgili uygulamalar, Şekil 7.5-6’da verilmiştir.



Şekil 7.4 : İleri-geri sayabilen senkron sayıcı devresi



Şekil 7.5 : BCD sayıcı



Şekil 7.6 : a) 10-15 sayıcı b) 6-12 sayıcı

Deney Öncesi Hazırlıklar :

1. Asenkron ve senkron sayıcı yapılarının incelenmesi.
2. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
3. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Şekil 7.1’de verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yaptıktan sonra devrenin istenilen işlevi gerçekleyip gerçeklemediğini saptayınız. Bellek elemanlarının saat girişini 1Hz’lik TTL dalga işaretinden alınız. Bellek elemanlarının girişlerine uygun değerleri verdikten sonra çıkışları LED’lerden gözleyerek istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.
2. Şekil 7.2’de verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yaptıktan sonra, devrenin istenilen işlevi gerçekleyip gerçeklemediğini 7 parçalı göstergeden izleyerek saptayınız. Saat işaret girişini, 1Hz’lik TTL dalga işaretinden alınız.
3. Şekil 7.3’te verilen devre için 2. maddeyi tekrarlayınız.
4. Şekil 7.4’te verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yaptıktan sonra, ileri sayma ve geri sayma girişlerine uygun değerler vererek devrenin istenilen işlevi gerçekleyip gerçeklemediğini çıkışları LED’lerden gözleyerek saptayınız. Bellek elemanlarının saat girişlerini 1Hz’lik TTL dalga işaretinden alınız.
5. Şekil 7.5’te verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yaptıktan sonra, paralel giriş uçlarına istenilen girişleri lojik anahtarlarla sağlayıp çıkışları LED’lerden gözleyerek istenilen işlevleri gerçekleyip gerçeklemediğini saptayınız. Saat girişini 1Hz’lik TTL dalga işaretinden alınız.
6. Şekil 7.6’da verilen devreler için 5. maddeyi tekrarlayınız.

Raporda İstenilenler :

1. Şekil 7.1’deki devrenin geri sayıcı ve BCD sayıcı olarak davranması için devrede ne gibi değişiklikler yapılması gerektiğini açıklayınız.
2. 7493 tümdevresi ile modülo 64 sayan bir sayıcı devresi tasarlayınız.
3. 7493 tümdevresi ile saat işaret frekansını 2^n ’ye bölen devre tasarlamak için nelerin yapılması gerektiğini belirtiniz. ($n : 0$ ile 15 arasında bir sayı)
4. Şekil 7.4’te verilen devrede JK bellek elemanları yerine T bellek elemanları kullanılsaydı T bellek elemanları girişinde ne gibi değişiklikler yapılması gerektiğini bellek elemanlarının tanım bağıntılarından yararlanarak bulunuz.

5. C_1 ve C_2 olarak iki adet kontrol girişine sahip olan ve modülo 3, 6, 9 ve 12 sayıcısı olarak çalışan bir sayıcı devresinin tasarlanması istenmektedir. Bu sayıcı devresi, kontrol girişleri, $C_1C_2 = 00$ iken modülo 3, $C_1C_2 = 01$ iken modülo 6, $C_1C_2 = 10$ iken modülo 9 ve $C_1C_2 = 11$ iken modülo 12 sayacak şeklinde tasarlanacaktır. Buna göre bu sayıcı devresini, 1 adet 7493 tümdevresi ve gerekli diğer lojik elemanları kullanarak tasarlayınız.

Malzeme Listesi :

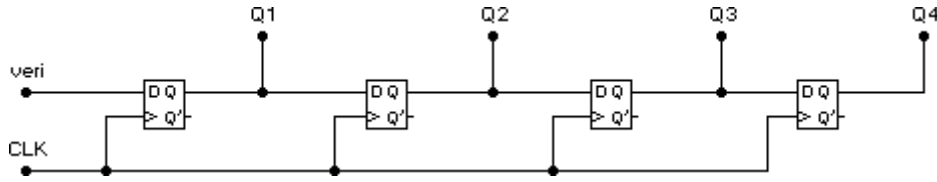
- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7432 OR kapı tümdevresi
- 1 adet 74161 senkron sayıcı tümdevresi
- 2 adet 7408 AND kapı tümdevresi
- 2 adet 7476 JK bellek elemanı tümdevresi
- 2 adet 7493 asenkron sayıcı tümdevresi

DENEY 8 : ÖTELEMELİ YAZICILAR

Genel Açıklamalar :

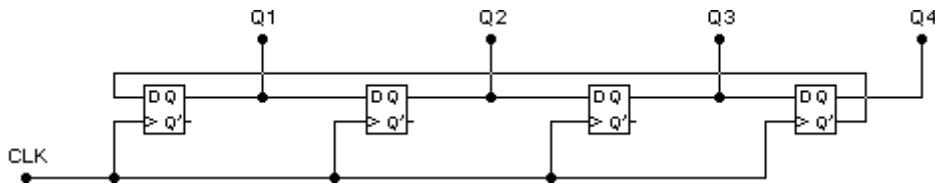
Bir ötelemeli yazıcı, birden fazla bellek elemanından birinin çıkışını diğerinin girişine bağlanarak oluşturulmuş ardışıl bir devredir. Bir bellek elemanından diğerine veri transferi, saat işareti ile senkron olarak yapılır. Ötelemeli yazıcılar, bit uzunluklarına, veri girişi ve çıkışlarına göre (seri giriş-seri çıkışlı, seri giriş-paralel çıkışlı, paralel giriş-seri çıkışlı) ve öteleme yeteneklerine göre (sağa, sola, çift yönlü) sınıflandırılırlar. Ötelemeli yazıcılar sayısal sistem tasarımında başta aritmetik işlem devreleri, veri iletişimi, sayıcılar olmak üzere pek çok yerde kullanılırlar.

Şekil 8.1’de, D bellek elemanları ile gerçekleştirilmiş seri giriş-seri çıkışlı sağa ötelemeli 4-bitlik ötelemeli yazıcı örneği verilmiştir.



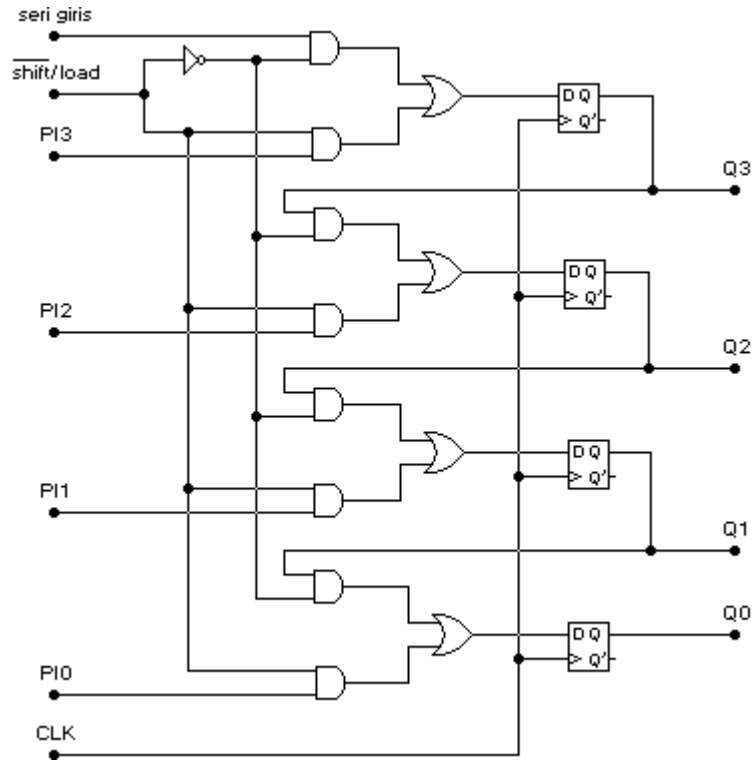
Şekil 8.1 : Seri giriş-seri çıkışlı sağa ötelemeli 4-bitlik ötelemeli yazıcı

Şekil 8.1’deki devrede veri girişi yerine Q4’ bağlandığında oluşan devreye, Johnson, ring yada switch-tail sayıcısı denir. Şekil 8.2’de, ring sayıcısının devre şeması verilmiştir.



Şekil 8.2 : Ring sayıcısı

Şekil 8.3’te paralel yükleme ve seri girilen veri ile sağa öteleme işlevlerini gerçekleştiren bir ötemeli yazıcı devresi, D bellek elemanları ve kapı elemanları ile gerçekleştirilmiştir.



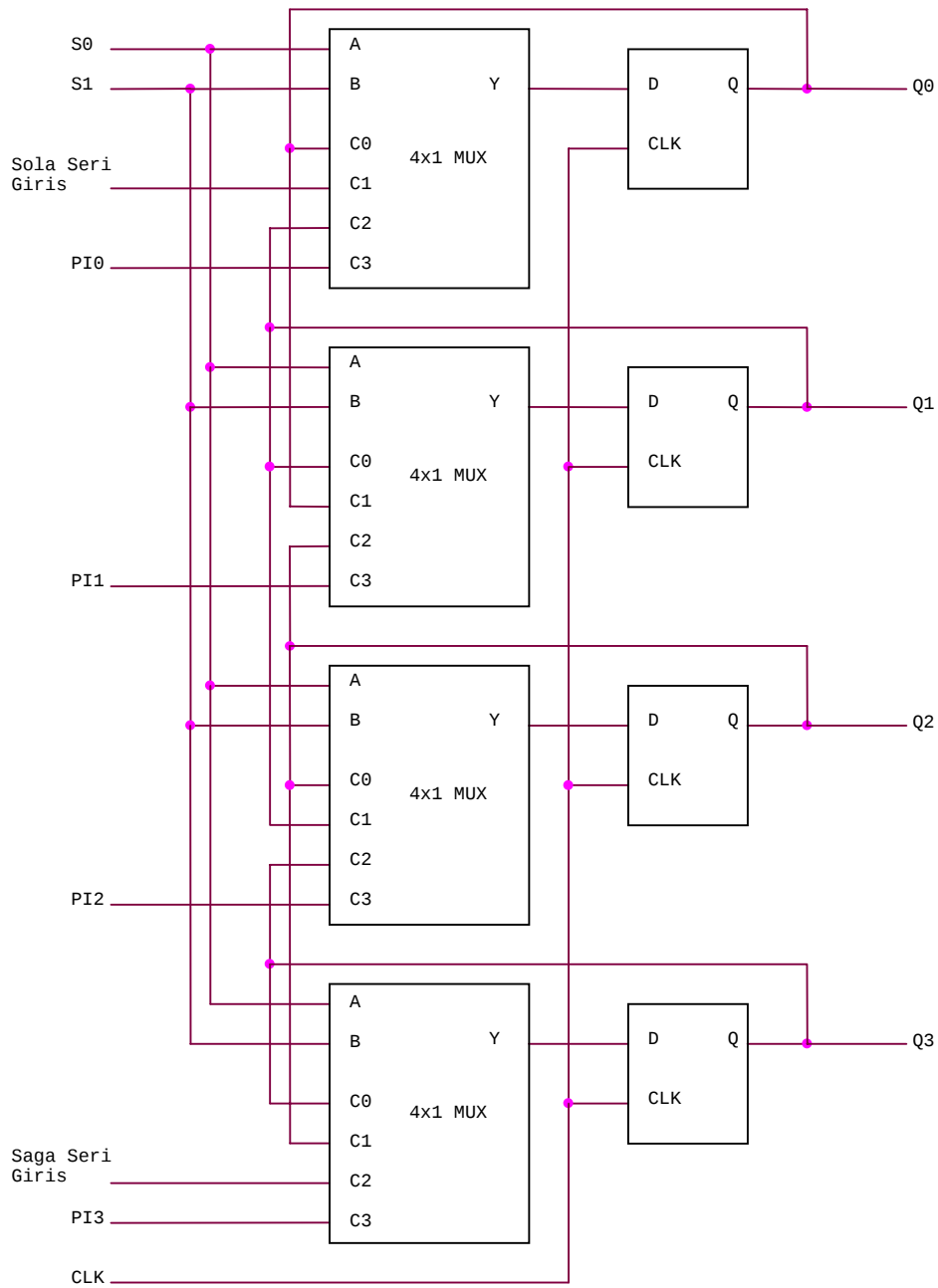
Şekil 8.3 : Paralel yüklemeli ve sağa ötelemeli yazıcı

Paralel yükleme, sağa/sola kaydırma ve içeriğini koruma fonksiyonlarını gerçekleştiren bir yazıcı aynı zamanda çoğullayıcılar ve D bellek elemanları kullanarak da gerçekleştirilebilir. Bu işlevleri gerçekleştiren bir ötemeli yazıcının transfer dil ifadesi, Tablo 8.1’de verilmiştir.

Tablo 8.1: Gerçeklenmesi istenen ötemeli yazıcının fonksiyon tablosu

S1	S0	Fonksiyon	RTL İfadesi
0	0	İçeriğini koruma	$[R] \leftarrow [R]$
0	1	Sağa öteleme	$[R] \leftarrow \lfloor R/2 \rfloor + (2^n - 1)y$
1	0	Sola öteleme	$[R] \leftarrow 2[R] + \text{veri girişi}$
1	1	Paralel yükleme	$[R] \leftarrow D$

Tablo 8.1’de verilenler ışığında tasarlanan devre, Şekil 8.4’te verilmiştir. Yazıcılar, SSI elemanları ile gerçekleştirilebildiği gibi MSI devre elemanları ile de gerçekleştirilebilir. MSI devre elemanları arasında universal shift register (74194) paralel yükleme, içeriğini koruma, sağa/sola öteleme özellikleri olan bir yazıcıdır. Kontrol girişleri olan S0 ve S1 girişlerine uygun değerler verilerek bu özellikler etkin hale gelmektedirler.



Şekil 8. 4 : Çoğullayıcı ve D bellek elemanları ile tasarlanan ötemeli yazıcı devresi

Deney Öncesi Hazırlıklar :

1. Ötemeli yazıcı yapısının ve transfer dilinin incelenmesi.
2. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
3. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Şekil 8.1’de verilen devreyi deney setine kurunuz. Bütün tümdevre elemanlarının besleme ve toprak bağlantılarını yapınız. Kullanılan bellek elemanlarının clear ve preset girişlerini

ortak lojik anahtarlara bağlayınız. Bellek elemanlarının saat girişlerini 1Hz'lik TTL dalga işaretinden alınız. Veri girişini lojik anahtarlardan yapıp, çıkışları LED'lerden gözleyerek istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

2.Şekil 8.2'de verilen devreyi deney setine kurunuz. Bütün tümdevre elemanlarının besleme ve toprak bağlantılarını yapınız. Kullanılan bellek elemanlarının clear ve preset girişlerini ortak lojik anahtarlara bağlayınız. Bellek elemanlarının saat girişlerini 1Hz'lik TTL dalga işaretinden alınız. Devrenin çıkışlarını LED'lerden gözleyerek istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

3. Şekil 8.3'te verilen devreyi deney setine kurunuz. Bütün tümdevre elemanlarının besleme ve toprak bağlantılarını yapınız. Kullanılan bellek elemanlarının clear ve preset girişlerini ortak lojik anahtarlara bağlayınız. Bellek elemanlarının saat girişlerini 1Hz'lik TTL dalga işaretinden alınız. $\overline{Shift/Load}$ kontrol girişini, lojik anahtara bağlayınız. Paralel girişleri, lojik anahtarlara bağlayıp $PI_0PI_1PI_2PI_3 : 1101$ giriş dizisini uygulayınız. Seri giriş için lojik 0 değerini alınız. İlk önce paralel yükleme yaptıktan sonra sağa öteleme yaptırıp ve daha sonra seri giriş için lojik 1 değeri alıp yukarıda yapılanları tekrarlayıp bu fonksiyonların gerçekleşip gerçekleşmediğini saptayınız.

4. Şekil 8.4'te verilen devreyi deney setine kurunuz. Tümdevreler için gerekli bütün bağlantıları yaptıktan sonra $PI = 1010$ (1: MSB (Most Significant Bit)) dizisini paralel yükleyiniz. Seri sağa giriş için lojik 0 uygulayıp, sağa kaydırınız. Sola seri girişine lojik 1 uygulayıp bir bit sola kaydırıdıktan sonra içeriğini koruyup sağa öteleyiniz.

5. 74194 tümdevresini deney setine yerleştirip uygun şekilde bağlantılarını yaptıktan sonra senkron paralel giriş, sağa öteleme, içeriğini koruma, sola öteleme çalışma modlarında çalıştırınız.

Raporda İstenilenler :

1. Şekil 8.1'deki devrede başlangıç durumu 0000'dır. Veri girişi için 1101 dizisi uygulandığında D bellek elemanlarının çıkışlarını zaman diyagramı çizerek gösteriniz.

2. Şekil 8.2'de verilen ring sayıcısı, JK bellek elemanları ile gerçekleştirildiğinde devre karmaşıklığının değişip değişmeyeceğini devreyi tasarlamadan nedeni ile açıklayınız.

3. Şekil 8.3'te verilen devrede ilk olarak 1010 (1 : MSB) sayısını paralel yükleyip seri giriş biti lojik 0 olacak şekilde bir bit sağa öteledikten sonra, seri girişi sürekli lojik 1 yapıp sağa ötelediğinizde, çıkışta ilk defa 1111 dizisinin gözükmesi için geçen saat zamanını, paralel yükleme için geçen süreyi de göz önüne alıp hesaplayınız.

4. Tablo 8.2’de verilenler ışığında, çoğullayıcı ve D bellek elemanları kullanarak bir yazıcı tasarlayınız.

Tablo 8.2 : Tasarlanması istenen ötemeli yazıcının fonksiyon tablosu

S1	S0	Fonksiyon	RTL İfadesi
1	1	İçeriğini koruma	$[R] \leftarrow [R]$
1	0	Sağa öteleme	$[R] \leftarrow \lfloor R/2 \rfloor + (2^n - 1)y$
0	1	Sola öteleme	$[R] \leftarrow 2[R] + \text{veri girişi}$
0	0	Paralel yükleme	$[R] \leftarrow D$

Malzeme Listesi :

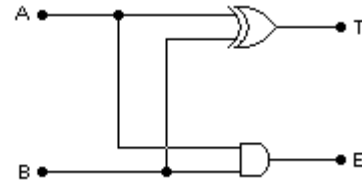
- 1 adet 7404 NOT kapı tümdevresi
- 1 adet 7432 OR kapı tümdevresi
- 1 adet 74194 ötemeli yazıcı tümdevresi
- 2 adet 7408 AND kapı tümdevresi
- 2 adet 7474 D bellek elemanı tümdevresi
- 2 adet 74153 4×1 çoğullayıcı tümdevresi

DENEY 9 : SSI ve MSI ELEMANLARI ile TOPLAMA ve ÇIKARMA DEVRELERİ'nin TASARIMI

Genel Açıklamalar :

Toplama ve çıkarma işlemleri paralel modda çalışan kombinezonsal devreler ile gerçekleştirilebilir. Önce bir bitlik yarı ve tam toplayıcılar gerçekleştirilip, daha sonra n -bitlik toplayıcı ve çıkarıcı devreler, bu birimler yardımıyla oluşturulabilir. Şekil 9.1'de yarı toplayıcıya ilişkin doğruluk tablosu ile EXOR ve AND kapıları kullanılarak gerçekleştirilen devre verilmiştir.

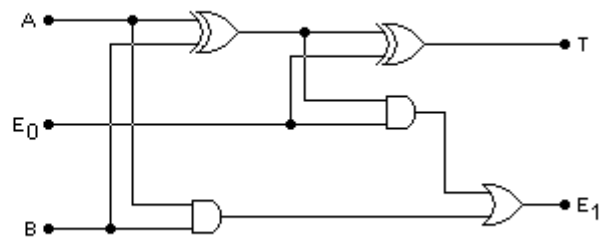
A	B	E	T
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Şekil 9.1 : Yarı toplayıcı doğruluk tablosu ve devresi

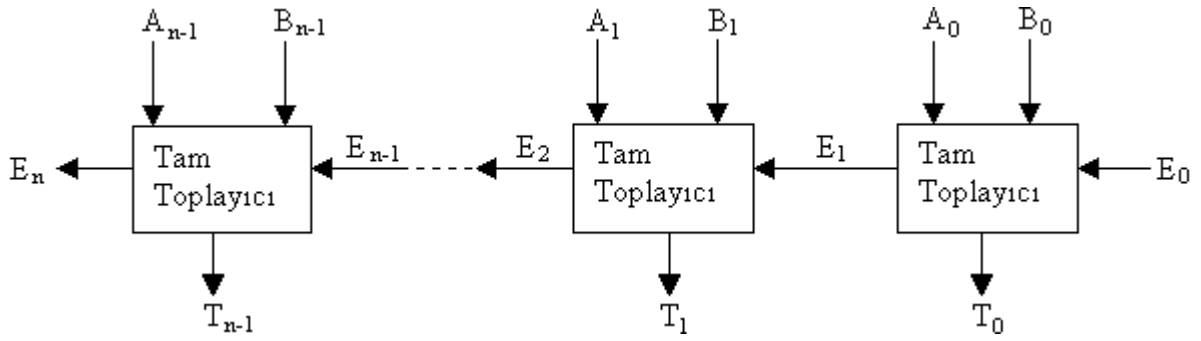
Yarı toplayıcının T çıkışı toplamı, E çıkışı ise bu toplam sonucunda oluşacak eldeyi göstermektedir. Bir bittten büyük sayılarla işlem yapabilmek için bit basamakları arasında elde alışverişini sağlamak üzere toplayıcı birime elde girişinin eklenmesi gerekmektedir. Bu şekilde elde edilen 3 girişli 2 çıkışlı toplayıcı devresine tam toplayıcı denir. Şekil 9.2'de iki yarı toplayıcıdan oluşan bir tam toplayıcı devresi ve doğruluk tablosu verilmiştir.

E_0	A	B	T	E_1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



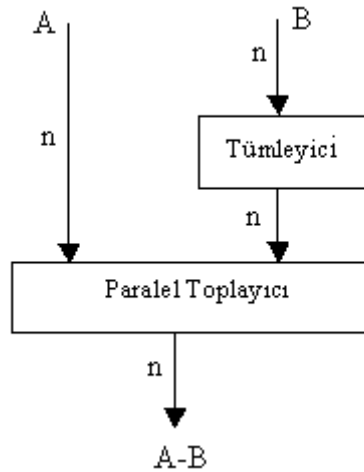
Şekil 9.2 : Tam toplayıcı doğruluk tablosu ve devresi

Elde bitlerinin düşük anlamlı basamaklardan yüksek anlamlı basamaklara Şekil 9.3'teki gibi aktarılması ile n -bitlik paralel toplayıcı devresi elde edilir.

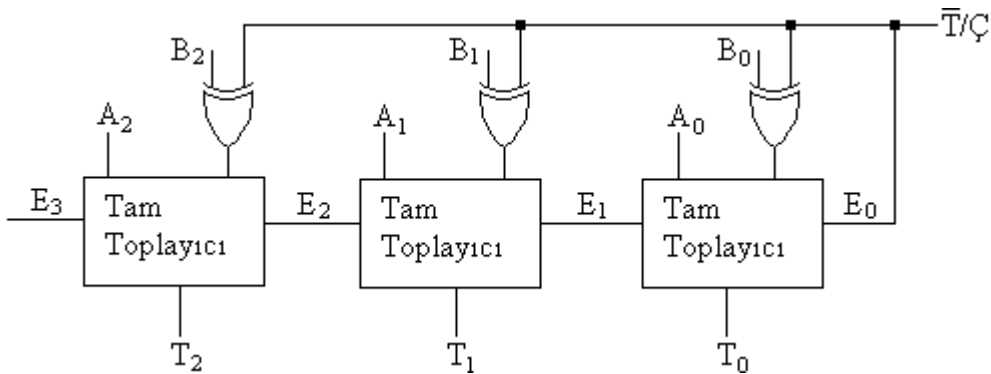


Şekil 9.3 : n -bitlik paralel toplama devresi

Sayısal sistemlerde çıkarma işlemi, tümleyen aritmetiği kullanılarak toplama devreleri ile yapılır. İkili tabanda 1'e yada 2'ye tümleme yapılabilir. Bu deneyde 2'ye tümleme incelenecektir. Tümleyen aritmetiğinde çıkarılacak sayının tümleyeni alınır ve diğer sayı ile toplanır. Sonuçta çıkarma işlemi yapılmış olur. Şekil 9.4'te bu yöntem ile çıkarma işleminin paralel toplama devresi kullanılarak gerçekleştirilmiş hali verilmektedir. Şekil 9.5'te 3-bitlik paralel toplama ve çıkarma devresi verilmiştir.

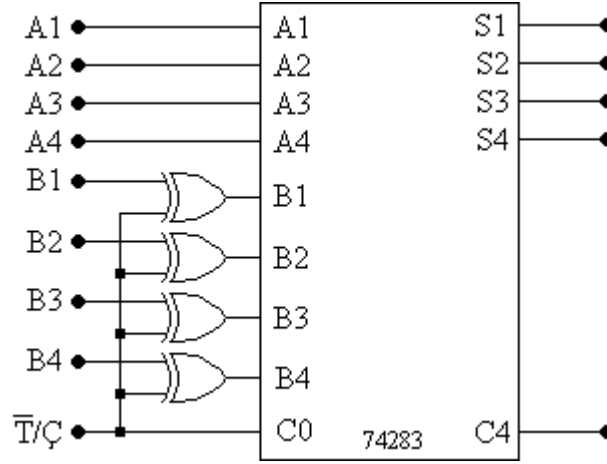


Şekil 9.4 : n -bitlik paralel çıkarma devresi



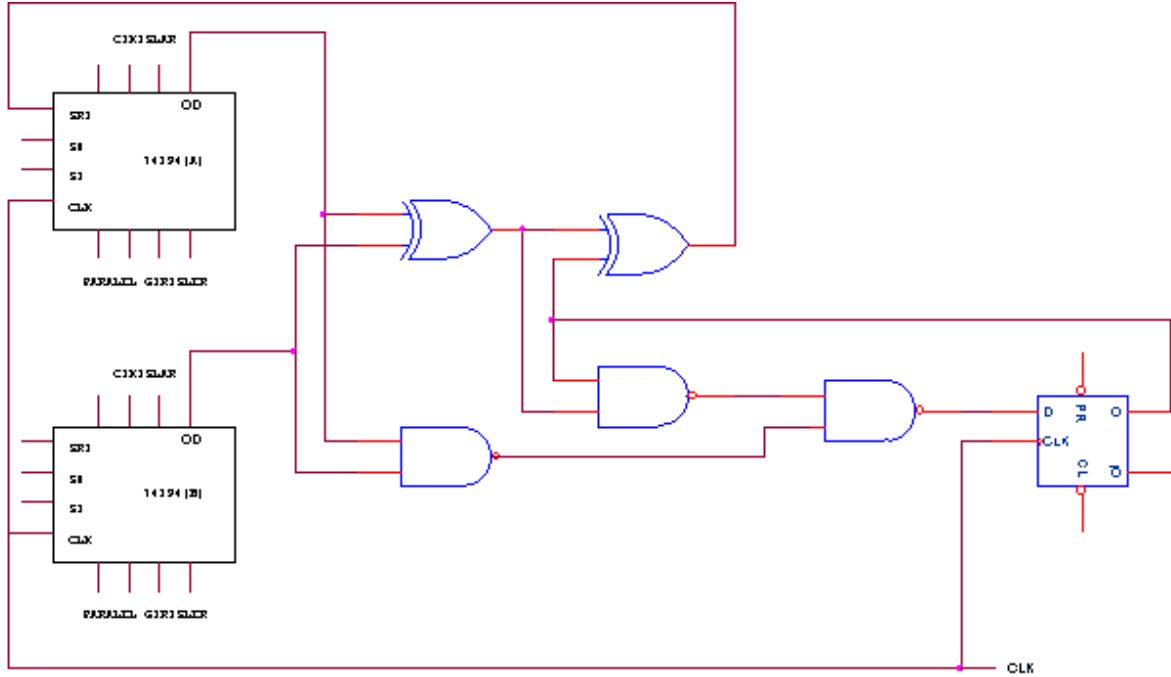
Şekil 9.5 : 3-bitlik paralel toplama ve çıkarma devresi

Toplama ve çıkarma gibi aritmetik işlemler, SSI kapı elemanları ile tasarlandığı gibi MSI tümdevreler ile de tasarlanabilir. Şekil 9.6’da MSI elemanlarından olan 74283 paralel toplayıcısı ile 4-bitlik toplama ve çıkarma devresi gerçekleştirilmiştir.



Şekil 9.6 : 4-bitlik toplama ve çıkarma devresi

Toplama yada çıkarma işlemi paralel modda yapılabileceği gibi seri modda da yapılabilir. Şekil 9.7’de bir seri toplama devresi verilmiştir. Bu devrede A ve B ötelemeli yazıcıları toplanacak sayıları, D bellek elemanı da eldeyi saklamaktadır. Her saat darbesinde A ve B sayılarına ait bitler toplanır ve toplam tekrar A ötelemeli yazıcısının seri girişine verilir. İşlem sonucu, A yazıcısından okunabilir.



Şekil 9.7 : Seri toplayıcı

Deney Öncesi Hazırlıklar :

1. Paralel ve seri toplayıcı yapılarının incelenmesi.
2. Yarı toplayıcı, tam toplayıcı ve öngörülü elde üreteçli toplayıcı (look ahead carry adder) yapılarının incelenmesi.
3. Şekil 9.5'te verilen 3-bitlik paralel toplayıcı ve çıkarıcı devresinin tam toplayıcı bloklarını kapı elemanları ile tasarlayarak deneye hazırlanılması.
4. Deney sırasında gerçekleştirilecek olan devrelerin CAD araçları ile simülasyonu.
5. Deney sırasında kullanılacak olan tümdevrelerin katalog bilgilerinin incelenmesi.

Deney Sırasında Yapılacaklar :

1. Şekil 9.5'te verilen deneye hazırlanan devreyi deney setine kurarak aşağıda verilen tabloyu doldurunuz.

A	B	A2A1A0	B2B1B0	$\bar{T} / \bar{C}$	T2T1T0	E3
6	5			1		
3	7			1		
2	4			1		
5	2			0		
7	3			0		
1	6			0		

2. Şekil 9.6' da verilen devreyi deney setine kurarak aşağıda verilen tabloyu doldurunuz.

A	B	A4A3A2A1	B4B3B2B1	$\bar{T} / \bar{C}$	S4S3S2S1	C4
8	14			0		
11	6			0		
5	12			0		
4	13			1		
7	10			1		
3	9			1		

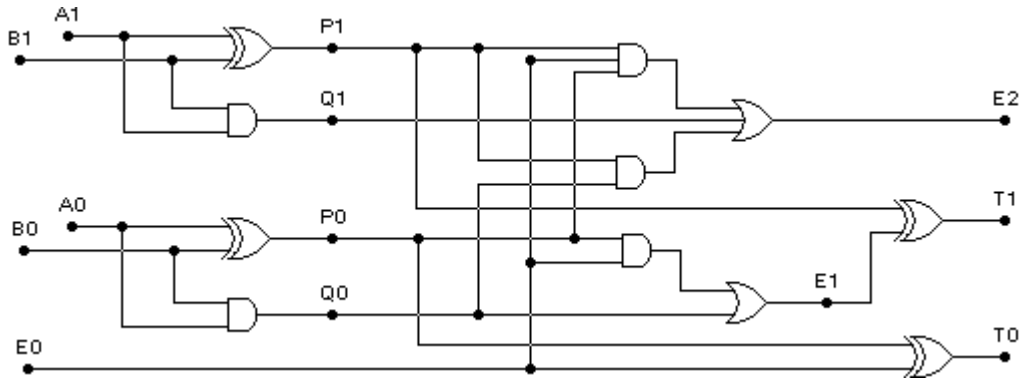
3. Şekil 9.7'de verilen devreyi deney setine kurunuz. Kullandığınız bütün bellek elemanlarının besleme ve toprak bağlantısını yapınız. D bellek elemanın preset girişini lojik 1'e, clear girişini lojik anahtara bağlayınız. Toplanacak 4'er bitlik A ve B sayılarını lojik anahtarlar üzerinden yazıcıların paralel girişlerine bağlayınız. Yazıcıların clear uçlarını lojik 1'e bağlayınız. S0 mod girişine lojik 1 değeri verirken, S1 mod girişine istediğiniz değeri verebilmeniz için bir lojik anahtara bağlayınız. Yazıcıların çıkışlarını LED'lere bağlayınız. Yazıcıların ve bellek elemanının saat girişlerini kısa devre yaparak debounce pushbutton'a

bağlayınız. D bellek elemanının çıkışını bir LED'e bağlayınız. Toplama işlemi iki aşamada yapılacaktır. İlk aşama, toplanacak olan sayıların yazıcılara yüklenmesidir. Bunun için yazıcılar paralel yükleme modunda olmalıdır. İkinci aşama, iki sayının toplanması ve sonucun bir yazıcıya yazılmasıdır. Bu amaçla yazıcıları sağa kaydırma moduna getirerek 4 defa saat darbesi vermek gerekir. Bellek elemanının clear girişiyle başlangıç durumu lojik 0 değerine getirilmelidir ve daha sonra normal çalışma değerine alınmalıdır. Bütün bu bilgiler için kullandığınız tümdevrelerin katalog bilgilerine başvurunuz. Aşağıdaki tabloda verilen değerleri girerek sonuçları tabloya aktarınız.

A	B	A3A2A1A0	B3B2B1B0	Yazıcı A	Yazıcı B	D Çıkışı
12	10					
8	11					
7	9					
15	6					
2	13					
14	4					

Raporda İstenilenler :

1. Şekil 9.3'te verilen n -bitlik paralel toplayıcıda sonucun elde edilmesi için, her tam toplayıcı bloğunun elde çıkışının elde edilmesini beklemek gerekir. n sayısı arttığında, sonucun elde edilme süresi de artar. Bu gecikmeden kurtulmak için her tam toplayıcı eldesinin aynı anda üretildiği iki-bitlik öngörülü elde üreteçli paralel toplayıcı devresi Şekil 9.8'de verilmiştir.



Şekil 9.8 : İki-bitlik öngörülü elde üreteçli paralel toplayıcı devresi

Şekil 9.8'de verilen devre için E1, E2, T0 ve T1 fonksiyonlarını P1, Q1, P0 ve Q0 cinsinden elde edip n -bitlik öngörülü elde üreteçli paralel toplayıcısı için bir genelleştirme yapınız.

2. Şekil 9.5'de verilen 3 bitlik çıkarma ve toplama devresi hücresel biçimde değil de klasik yöntemle yapılsaydı ne gibi sorunlarla karşılaşabileceğini açıklayınız.

3. Şekil 9.5-6'da verilen toplama ve çıkarma devrelerinde çıkarma işleminin nasıl gerçekleştirildiğini açıklayınız.
4. Genel olarak 10 tabanında n basamaklı iki sayının 74283 tümdevresi kullanarak toplanması için kaç adet 74283 tümdevresi gerektiğini nedeniyle açıklayınız.
5. Şekil 9.7'de verilen devrede 4-bitlik yerine 8-bitlik sayıların toplamı elde edilmek istenseydi nelerin ilave edilmesi gerektiğini açıklayınız.
6. Üç bitlik iki sayının çarpımını bulan devreyi tam toplayıcı blokları kullanarak gerçekleştiriniz.

Malzeme Listesi :

- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7432 OR kapı tümdevresi
- 1 adet 7474 D bellek elemanı tümdevresi
- 1 adet 74283 paralel toplayıcı tümdevresi
- 2 adet 7408 AND kapı tümdevresi
- 2 adet 74194 ötelemeli yazıcı tümdevresi
- 3 adet 7486 EXOR kapı tümdevresi